

지터와 실시간 아이다이아그램 분석을 통한 임베디드 시스템 디버깅하기

Advanced Embedded Systems Debug with Jitter and Real-Time Eye Analysis



그림 1. MSO8000 혼합 신호 오실로스코프

Introduction

임베디드 설계의 디버깅은 전자 엔지니어들에게 가장 어려운 작업 중 하나입니다. 효과적인 직렬 데이터 분석을 위해서는 단순한 트리거링과 디코딩 이상의 것이 필요하지만, 역사적으로 혼합 신호, 직렬 트리거링과 디코딩 기능을 갖춘 오실로스코프와 고급 분석 기능을 갖춘 고성능 기기 사이에는 상당한 비용 차이가 존재했습니다. 엔지니어들은 지터와 아이다이아그램 패턴을 포함한 장기적인 신호 품질 특성을 최고 수준의 고성능 솔루션에 투자하지 않고도 테스트할 수 있는 능력이 필요합니다.

MSO8000(그림 1)은 동급 최고의 분석 기능, 가장 깊은 메모리 깊이(Memory Depth) 및 최고의 샘플링 속도(Sampling Rate)를 제공합니다. 임베디드 설계 및 디버깅을 위해 제작된 MSO8000은 엔지니어가 낮은 예산으로 직렬 통신의 검증 및 디버깅을 신속하게 수행할 수 있도록 설계되었습니다. 지터 및 아이다이아그램 분석을 통해 빠른 샘플링, 메모리 및 분석을 통해 복잡한 신호를 빠르고 쉽게 디버깅할 수 있는 방법을 살펴보겠습니다.

Characterizing Jitter

고성능 디지털 데이터 전송에서 클럭 정밀도는 매우 중요합니다. 클럭 주파수의 미세한 변화는 오차율과 데이터 처리량에 영향을 미치지만, 전통적인 오실로스코프에서는 이러한 타이밍 오차를 쉽게 파악할 수 없습니다. 오히려 이러한 종류의 신호를 측정하는 데 지터 분석 기능이 있는 오실로스코프가 핵심입니다. 지터 테스트가 가능한 오실로스코프는 높은 샘플률과 깊은 메모리를 활용하여 수천 번의 클럭 천이 간의 시간 변화를 비교합니다. 이를 통해 100p 초 이하의 타이밍 변동을 시각화하는 동시에 장시간에 걸친 클럭 타이밍 변화를 추적할 수 있습니다.

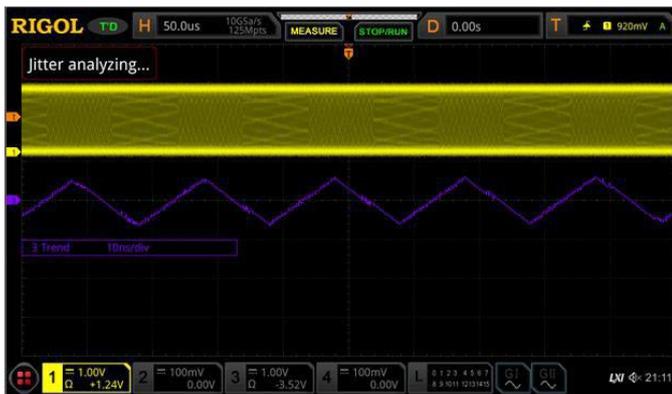


그림 2. TIE 추세 그래프

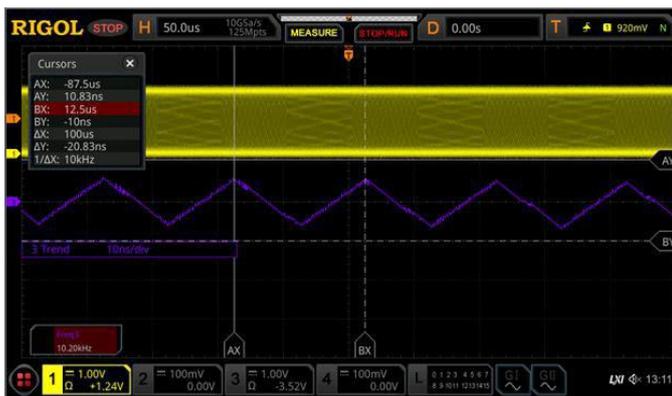


그림 3. TIE 추세 그래프와 커서 측정

지터를 시각화하기 위한 핵심 중 하나는 TIE, Time Interval Error 입니다. TIE 는 예상되는 클럭 에지와 실제 클럭 에지의 발생 사이의 시간 차이입니다. TIE와 함께 디버깅에 사용되는 주요 시각화 도구는 두 가지입니다. 먼저, TIE 추세 그래프입니다. 이는

TIE 값의 시간적 누적 오차를 보여줍니다. 이 추세는 주기적인 지터 유형을 강조하기 때문에 귀중한 디버깅 도구입니다. 그림 2 는 채널 1의 고속 클럭 신호(노란색)와 TIE 지터 추세(보라색)를 보여줍니다. 여기에 표시된 TIE 추세의 수직축 단위는 분할당 10ns 입니다. 추세는 지터 TIE 가 주기적으로 누적됨을 보여줍니다. 이는 주기적인 신호 또는 이벤트가 클럭 주파수에 영향을 미치고 있음을 의미합니다. 다음 단계로, TIE 추세는 그림 3 과 같은 측정 결과 또는 커서로 확인할 수 있습니다. 커서를 통해 신호의 주기를 쉽게 볼 수 있고 주파수도 계산할 수 있습니다. 이러한 변화의 주기는 지터 문제의 근본 원인에 대한 중요한 단서입니다.



그림 4. TIE 추세와 TIE 히스토그램

TIE 추세 외에도 TIE 값의 분포도 확인할 수 있습니다. TIE 값의 모양과 표준편차는 근본 원인을 결정하는 중요한 구성요소입니다. 표준 편차 신호를 그린 히스토그램은 그림 4 와 같이 나타납니다.

지터 관련 문제를 디버깅하고 해결하기 위해 TIE 추세와 분포를 사용할 때 TIE 값과 추세의 특성을 이해하는 것이 중요합니다. TIE 는 기본 신호의 주기 변화를 누적한 값으로 계산됩니다. 이것은 TIE 그래프가 주기 변화의 적분처럼 보인다는 것을 의미합니다. 따라서 그림 4 에 표시된 삼각파는 주기의 구형파 변화를 나타냅니다. 이것은 신호 지터를 디버깅하는 방법을 이해하는 데 매우 중요합니다. 그림 4 의 보라색을 보면 주기 변화가 선형적으로 길어지는 것(삼각 상승)을 보여주고 그 다음 주기가 선형적으로 짧아지는 것(삼각 하강)을 보여줍니다. TIE 가 선형적으로 증가하고 있을 때,

주기는 예상되는 주기보다 긴 고정된 값입니다. TIE가 선형적으로 감소하고 있을 때, 주기는 예상되는 주기보다 짧은 고정된 값입니다. 따라서 이 주파수에서 주기는 두 고정된 값 사이에서 바뀝니다. 하나는 예상되는 주기보다 높고 하나는 예상되는 주기보다 낮습니다. 따라서 우리는 어떻게든 우리의 클럭 타이밍에 영향을 미치고 있는 10 kHz 구형파를 찾고 있습니다. 우리는 히스토그램을 통해 TIE 분포가 해당 값에 걸쳐 균일하고 대칭적으로 퍼져 있으므로 이 변동이 일정한 것으로 보인다는 것을 알 수 있습니다.

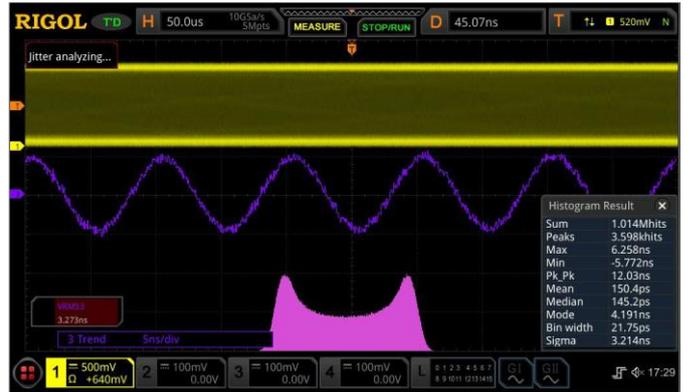


그림 5. 히스토그램의 표준 편차

때문에 시계 주기의 근본적인 변화가 더 삼각형인지 정현파인지 식별하기가 어려울 수 있습니다. 표준 편차와 히스토그램은 간섭할 수 있는 신호를 결정하는 데 도움을 줄 수 있는 추가적인 도구입니다. 종종 신호 타이밍은 클럭이 재조정됨에 따라 공칭 타이밍에 더 급격한 보정 또는 스냅백을 보여줍니다. 시각적으로 이것은 램프 또는 톱니파에 더 가까워 보일 수 있습니다. 신호가 천천히 드리프트한 다음 빠르게 보정되면 히스토그램이 비대칭을 시각화하는 데 도움이 될 수 있습니다.

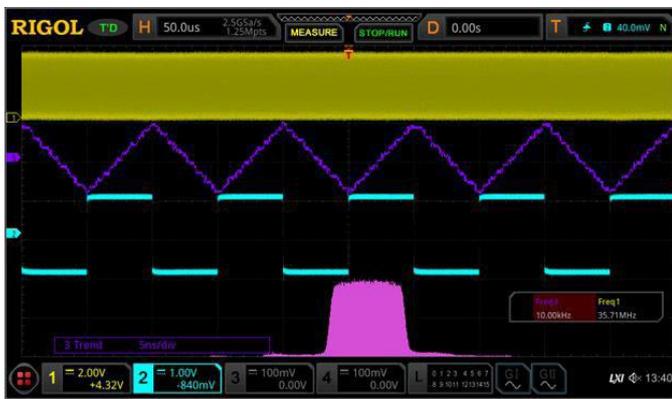


그림 6. 지터 분석을 이용한 신호의 영향을 주는 원인(root cause) 찾기

영향이 되는 신호를 찾기 위해 테스트 중인 장치에서 주변의 다양한 신호를 테스트한 후 직렬 클럭 타이밍에 영향을 미치는 주파수에서 파란색으로 표시된 시간 상관 구형파(그림 5)를 찾습니다.

지터는 PLL의 문제, 전력 변동 또는 방출 등 다양한 원인이 있을 수 있습니다. 다음 사례에서 알 수 있듯이 히스토그램 데이터를 검토하는 것은 올바른 지터 분석에서 중요한 단계입니다.

그림 6은 정현파 TIE 추세를 가진 히스토그램에서 TIE 값의 바이모달 분포를 보여줍니다. 여기서 우리는 표준 편차(히스토리 통계의 시그마)가 약 3.2ns임을 알 수 있습니다. 이러한 추세는 0에 가까운 평균값을 가지므로 표준 편차는 신호의 RMS 값(왼쪽 하단의 RMS 측정에 표시됨)으로 근사화할 수도 있습니다. 정현파와 삼각파는 모두 시각적으로 정현파처럼 보이는 적분을 가지고 있기



그림 7. 히스토그램의 비대칭

그림 7은 지터 TIE 경향에서 여전히 거의 정현파로 나타나는 비대칭 지터 분포의 예입니다. 이와 같은 분포는 변동을 일으키는 과정을 더 쉽게 파악할 수 있게 해줍니다.

지터 측정의 한 가지 중요한 핵심은 이것이 데이터 무결성에 관한 것이며, 궁극적으로 시스템 시간이나 대역폭을 희생시키는 문제가 발생하게 하는 것임을 기억하는 것입니다. 즉, 타이밍이 얼마나 변동하는지가 아니라 수신기가 데이터를 어떻게 보는 지에

관한 것입니다. 이 때문에 수신기가 클럭 설정도 결정하는 방식으로 지터 신호를 테스트하는 것이 중요합니다. 직렬 통신에서 클럭은 명시적일 수 있으며, 이를 위해 전송되는 클럭 라인이 있음을 의미합니다. 또한 통신 표준에 의해 정의된 일정한 클럭 속도가 있을 수 있습니다. 수신기가 PLL 회로를 사용하여 신호 자체에서 클럭을 '복구'하는 것도 일반적입니다.



그림 8. 다이내믹 클럭 복구



그림 9. 남아있는 지터

수신기의 설계는 지터와 타이밍에 큰 영향을 미칩니다. 수신기가 70Mb/s의 속도로 일정한 클럭 속도를 사용하면 위의 그림과 같이 지터가 나타납니다. 수신기가 200kHz 대역폭의 1차 PLL을 사용하면 10kHz에서 볼 수 있는 저주파 지터를 많이 제거할 수 있습니다. 이것은 그림 8에 나와 있습니다. 이상적으로 사용되는 기기는 클럭 복구 시스템을 에뮬레이트할 수 있습니다. 예를 들어 MSO8000은 지터 또는 아이 다이어그램을 수신기에서 볼 수 있는 대로 정확하게 측정하기 위해 명시적, 상수, 1차 PLL 및 2차 PLL 클럭

복구 시스템을 에뮬레이트할 수 있습니다. 이것들은 중요하지 않은 문제를 무시하고 중요한 타이밍 문제를 정확하게 디버깅하는 데 중요한 기능입니다. 클럭 복구를 올바르게 에뮬레이트하고 지터의 주요 원인을 제거하면 TIE Trend를 분할당 500ps로 확대할 수 있습니다(그림 9). 여전히 일부 주기적인 변동을 볼 수 있지만 크게 감소하여 더 이상 비트 오류율에 영향을 미치지 않을 수 있습니다. 우리는 여전히 일부 주기적인 변동을 볼 수 있지만, 그것들은 상당히 감소되어 더 이상 비트 오류율에 영향을 미치지 않을 수 있습니다. 시스템에서 모든 지터를 적절하게 처리하면 그림 10과 같이 분할당 500ps 미만의 노이즈 소스를 볼 수 있습니다. MSO8000 오실로스코프는 또한 TIE 값뿐만 아니라 양의 폭과 음의 폭 모두에서 계산된 Cycle-to-Cycle 값 및 값을 직접 통계 표로 볼 수 있습니다. 이러한 지터 도구를 사용하면 중요한 직렬 통신 링크의 타이밍 문제를 주의 깊게 시각화하고 분석할 수 있습니다.



그림 10. 지터 측정

Signal Quality & the Eye Diagram

타이밍은 전체 신호 품질에 기여하는 특성 중 하나일 뿐입니다. 모든 신호 품질 분석의 목표는 트랜시버 링크의 데이터 오류를 줄이는 것입니다. 종종 타이밍과 클럭 문제로 인해 오류가 발생하지만 대역폭, 접지, 노이즈 및 임피던스 매칭에서 발생하는 문제는 모두 비트가 수신기에 의해 해석되는 방식에 영향을 미칠 수 있습니다. 전체적인 데이터 신호 품질을 시각화하는 가장 좋은 방법은 아이 패턴 또는 아이 다이어그램 테스트입니다. 실시간 아이 다이어그램은 처리량과 비트 오류율이 시스템 성능에 중요한 직렬 데이터 링크를 검증하고 디버깅하는 좋은 방법입니다.

아이 다이어그램은 비트 타이밍을 복구된 클럭과 일치시키는 데이터 라인을 분석합니다. 지터 툴킷에서와 동일한 클럭 복구 옵션을 여기서 사용할 수 있습니다. 그런 다음 각 비트를 일렬로 세우고 중첩하여 아이 다이어그램을 만듭니다. 그런 다음 수천 개의 비트 시퀀스가 될 수 있는 밀도 그림이 만들어집니다. 중앙에 있는 모양이 각 면의 한 점에 가까운 열린 눈과 닮았기 때문에 이것을 아이 패턴 또는 아이 다이어그램이라고 합니다. 목표는 눈의 중심에서 비트 레벨(0 또는 1)이 올바르게 해석되는 열린 눈 모양을 갖는 것입니다.

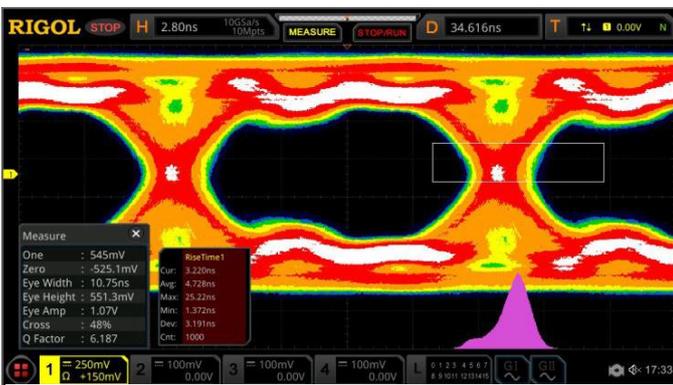


그림 12. 에러를 포함한 신호의 아이 다이어그램

그림 11의 아이 패턴은 몇 가지 잠재적인 문제를 보여줍니다. 사용자가 설정할 수 있는 임계값에 따라 기기가 눈의 너비와 높이를 계산합니다. 이 신호에는 대역폭 제한이 있습니다. 우리는 눈의 각 면에서 상승 모서리와 하강 모서리의 기울기가

우리의 설계 계획만큼 가파르지 않기 때문이라고 해석할 수 있습니다. 해석적으로 우리는 화면의 눈 높이, 눈 너비 및 신호 상승 시간을 설계 문서와 비교하여 이를 결정할 수 있습니다. 복구된 클럭과 관련하여 주파수 불확실성도 약간 있는 것으로 보입니다. 히스토그램에서 우리는 주기 분포가 가우시안이 아니며 주파수 이동에 대한 일부 비무작위 인과 관계를 암시하는 것을 볼 수 있습니다. 마지막으로 눈이 수직으로 약간 감긴 듯한 모습을 한 것을 보고 진폭을 변동시키는 약간의 소음이 있음을 예상할 수 있습니다.



그림 11. 향상된 타이밍의 아이 다이어그램

시각적 디버그 도구로 아이 다이어그램을 사용하여 케이블과의 연결에 에러를 일으키는 요소가 없는지 확인합니다. 또한 신호 품질에 영향을 미칠 수 있는 레이아웃, 크로스 토크 또는 기타 방출을 찾습니다. 주파수 변동을 일으키는 신호를 제거하면 그림 12에서 눈이 열리기 시작합니다. 보라색 히스토그램은 이제 나머지 타이밍 오차가 최소한 대칭임을 보여줍니다. 이것은 또한 아이 측정 창에서 눈 너비를 향상시킵니다.

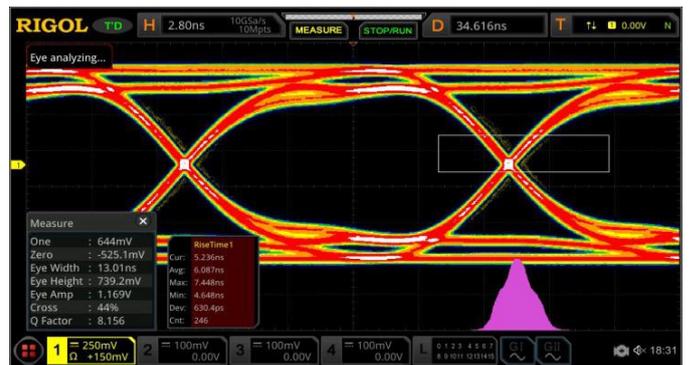


그림 13. 노이즈가 향상된 신호의 아이 다이어그램

그림 13은 우리가 주변의 잡음원을 찾아내고 제거했을 때의 결과입니다. 이렇게 하면 눈 높이와 너비가 향상되고 전체 신호가 더 정확해집니다.

이제 상승 및 하강 비트 전이가 비전이 비트와 같은 높은 수준 또는 낮은 수준에 도달하지 않는다는 것이 분명해집니다. 또한 이러한 시간 및 전압 설정에서는 상승 및 하강 에지 자체가 약 45° 기울기를 가지고 있음을 알 수 있습니다. 설계 문서에서를 확인했을 때 상승 및 하강 에지의 기울기가 더 높아야 함을 확인했습니다. 이를 개선하기 위해 확인해 보니, 신호가 비트 중간까지 피크 또는 베이스로 완전히 돌아가지 않을 때 눈이 수직으로 닫히는 것과 동시에 전이의 상승 시간을 제한하는 대역폭 문제일 수 있습니다.



그림 14. 디버깅이 완료된 신호의 아이 다이어그램

마지막으로 그림 14는 송신기 회로를 변경한 후 향상된 대역폭을 보여줍니다. 히스토그램 분포는 이것이 신호 타이밍의 이상치도 일부 제거했음을 보여줍니다. 향상된 대역폭은 향상된 상승 시간과 완전히 열린 수직 눈에서 명확하게 보여줍니다.

Conclusion

임베디드 디지털 설계의 디버깅은 전자 제품 개발에서 매우 중요한 요구 사항입니다. 다행히도, RIGOL의 MSO8000 시리즈 오실로스코프(그림 15)와 같은 최신 성능 오실로스코프는 엔지니어가 사용할 수 있는 분석 기능을 확장합니다. MSO8000 오실로스코프는 지터 및 아이 다이어그램 분석 옵션을 제공하여 완벽한 신호 품질 분석을 저렴하고 쉽게 사용할 수 있습니다. MSO8000의 지터 및 아이 다이어그램 분석은 일련의 데이터 링크에서 타이밍, 노이즈, 대역폭 및 전반적인 신호 품질과 관련된 문제를 보고, 분석하고 해결하는 것을 단순화합니다. 이러한 분석 기능은 MSO8000 시리즈 고유의 심층 메모리와 높은 샘플율을 기반으로 구축되며, 이를 통해 이러한 오실로스코프는 임베디드 시스템 엔지니어가 선택하는 디버깅 도구가 됩니다.




 82) 02-6953-4466

 <https://kr.rigol.com>

 508, BalsanW-tower, 222, Gonghang-daero, Seoul

ROGOL KOREA
리콜 한국지사