



RIGOL

MIPI D-PHY

一致性测试解决方案

用户手册

2025.3

保证和声明

版权

© 2025 普源精电科技股份有限公司

商标信息

RIGOL®是普源精电科技股份有限公司的英文名称和商标。

声明

- 本公司产品受中国及其他国家和地区的专利（包括已取得的和正在申请的专利）保护。
- 本公司保留改变规格及价格的权利。
- 本手册提供的信息取代以往出版的所有资料。
- 本手册提供的信息如有变更，恕不另行通知。
- 对于本手册可能包含的错误，或因手册所提供的信息及演绎的功能以及因使用本手册而导致的任何偶然或继发的损失，RIGOL 概不负责。
- 未经 RIGOL 事先书面许可，不得影印、复制或改编本手册的任何部分。

产品认证

RIGOL 认证本产品符合中国国家产品标准和行业产品标准及 ISO9001:2015 标准和 ISO14001:2015 标准，并进一步认证本产品符合其他国际标准组织成员的相关标准。

联系我们

如您在使用此产品或本手册的过程中有任何问题或需求，可与 RIGOL 联系：

电子邮箱：service@rigol.com

网址：<http://www.rigol.com>

章	主题	页码
1	MIPI D-PHY 一致性分析解决方案简介	1
2	文档概述	2
3	MIPI D-PHY 协议简介	3
3.1	D-PHY 通信接口	3
3.2	通道的工作模式	4
3.3	通道状态码	5
4	测试设备	8
4.1	示波器与探头	9
4.2	测试夹具	10
5	示波器与探头校准	12
5.1	示波器自校准	12
5.2	有源探头校准	12
5.3	通道延迟校准	14
6	示波器 MIPI D-PHY 一致性分析功能	17
6.1	系统设置	17
6.2	测试项目	19
6.2.1	Group1 测试项目	20
6.2.2	Group2 测试项目	21
6.2.3	Group3 测试项目	21
6.2.4	Group4 测试项目	23
6.2.5	Group5 测试项目	25
6.2.6	Eye Diagram 测试项目	26
6.3	设置分析	26
6.4	规范管理	28
6.5	分析报告	33
7	测试连接	35
7.1	使用 50pF C_{LOAD} 测试夹具连接	35
7.2	使用 RTB 夹具连接	36
7.3	连接时钟和数据通道	38
7.4	只连接数据通道	40
7.5	只连接时钟通道	41
7.6	Continuous Data Test 连接	43
8	Group1 Data Lane LP-TX 信号测试	46

8.1	Group1 测试步骤	47
8.2	Test 1.1.1 数据通道 LP-TX Thevenin 输出高电平电压(V_{OH})	47
8.3	Test 1.1.2 数据通道 LP-TX Thevenin 输出低电平电压(V_{OL})	48
8.4	Test 1.1.3 数据通道 LP-TX 15%~85%上升时间(T_{RLP})	49
8.5	Test 1.1.4 数据通道 LP-TX 15% ~ 85%v 时间(T_{FLP})	49
8.6	Test 1.1.5 数据通道 LP-TX 压摆率($\delta V/\delta t_{SR}$)	50
8.7	Test 1.1.6 数据通道 LP-TX 异或时钟脉冲宽度($T_{LP-PULSE-TX}$)	51
8.8	Test 1.1.7 数据通道 LP-TX 异或时钟周期($T_{LP-PER-TX}$)	51
9	Group2 Clock Lane LP-TX 信号测试	53
9.1	Group2 测试步骤	53
9.2	Test 1.2.1 时钟通道 LP-TX Thevenin 输出高电平电压(V_{OH})	54
9.3	Test 1.2.2 时钟通道 LP-TX Thevenin 输出低电平电压(V_{OL})	54
9.4	Test 1.2.3 时钟通道 LP-TX 15% ~ 85%上升时间(T_{RLP})	55
9.5	Test 1.2.4 时钟通道 LP-TX 15% ~ 85%下降时间(T_{FLP})	55
9.6	Test 1.2.5 时钟通道 LP-TX 压摆率($\delta V/\delta t_{SR}$)	56
10	Group3 Data Lane HS-TX 信号测试	58
10.1	Group3 测试步骤	58
10.2	Test 1.3.1 数据通道 HS Entry:模式转换时间值(T_{LPX})	59
10.3	Test 1.3.2 数据通道 HS Entry:准备时间值($T_{HS-PREPARE}$)	60
10.4	Test 1.3.3 数据通道 HS Entry:准备时间值与零状态时间值之和($T_{HS-PREPARE} + T_{HS-ZERO}$)	61
10.5	Test 1.3.4 数据通道 HS-TX 差分电压($V_{OD(0)}$, $V_{OD(1)}$)	62
10.6	Test 1.3.5 数据通道 HS-TX 差分电压失配(ΔV_{OD})	64
10.7	Test 1.3.6 数据通道 HS-TX 单端输出高电压($V_{OHHS(DP)}$, $V_{OHHS(DN)}$)	65
10.8	Test 1.3.7 数据通道 HS-TX 静态共模电压($V_{CMTX(1)}$, $V_{CMTX(0)}$)	66
10.9	Test 1.3.8 数据通道 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)	67
10.10	Test 1.3.9 数据通道 HS-TX 动态共模电平变化($\Delta V_{CMTX(LF)}$)	68
10.11	Test 1.3.10 数据通道 HS-TX 动态共模电平变化($\Delta V_{CMTX(HF)}$)	69
10.12	Test 1.3.11 数据通道 HS-TX 20% ~ 80%上升时间(t_R)	70
10.13	Test 1.3.12 数据通道 HS-TX 80% ~ 20%下降时间(t_F)	71
10.14	Test 1.3.13 数据通道 HS Exit: 高速模式退出值($T_{HS-TRAIL}$)	72
10.15	Test 1.3.14 数据通道 HS Exit: 30% ~ 85%信号传输后上升时间(T_{REOT})	73
10.16	Test 1.3.15 数据通道 HS Exit: 退出结束时间值(T_{EOT})	74
10.17	Test 1.3.16 数据通道 HS Exit: 高速退出时间值($T_{HS-EXIT}$)	75
11	Group4 Clock Lane HS-TX 信号测试	77

11.1	Group4 测试步骤	77
11.2	Test 1.4.1 时钟通道 HS Entry:低功耗发送至高速模式转换值(T_{LPX})	78
11.3	Test 1.4.2 时钟通道 HS Entry:时钟高速模式准备时间值($T_{CLK-PREPARE}$)	79
11.4	Test 1.4.3 时钟通道 HS Entry:时钟高速模式准备时间值与时钟高速零状态时间值之和($T_{CLK-PREPARE} + T_{CLK-ZERO}$)	80
11.5	Test 1.4.4 时钟通道 HS-TX 差分电压($V_{OD(0)}, V_{OD(1)}$)	81
11.6	Test 1.4.5 时钟通道 HS-TX 差分电压失配(ΔV_{OD})	82
11.7	Test 1.4.6 时钟通道 HS-TX 单端输出高电压($V_{OHHS(DP)}, V_{OHHS(DN)}$)	83
11.8	Test 1.4.7 时钟通道 HS-TX 静态共模电压($V_{CMTX(1)}, V_{CMTX(0)}$)	84
11.9	Test 1.4.8 时钟通道 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)	85
11.10	Test 1.4.9 时钟通道 HS-TX 在 50 MHz ~ 450 MHz 范围内的动态共模电平变化 ($\Delta V_{CMTX(LF)}$)	86
11.11	Test 1.4.10 时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化($\Delta V_{CMTX(HF)}$)	87
11.12	Test 1.4.11 时钟通道 HS-TX 20% ~ 80%上升时间(t_R)	87
11.13	Test 1.4.12 时钟通道 HS-TX 80% ~ 20% 下降时间(t_F)	89
11.14	Test 1.4.13 时钟通道 HS Exit: 时钟高速模式退出时间值($T_{CLK-TRAIL}$)	90
11.15	Test 1.4.14 时钟通道 LP-TX:30% ~ 85% 信号传输后上升时间(T_{REOT})	91
11.16	Test 1.4.15 时钟通道 HS Exit: 退出结束时间值($T_{HS-TRAIL} + T_{REOT}$)	92
11.17	Test 1.4.16 时钟通道 HS Exit: 高速退出时间值($T_{HS-EXIT}$)	93
11.18	Test 1.4.17 时钟通道高速模式下时钟的瞬时单位间隔(UI_{INST})	94
11.19	Test 1.4.18 时钟通道高速模式下时钟单位间隔偏差(ΔUI)	95
12	Group5 HS-TX Clock-to-Data Lane 时序测试	97
12.1	Group 5 测试步骤	97
12.2	Test 1.5.1 HS Entry: $T_{CLK-PRE}$	98
12.3	Test 1.5.2 HS Exit: $T_{CLK-POST}$	99
12.4	Test 1.5.3 高速时钟上升沿与首个有效载荷位的对齐	100
12.5	Test 1.5.4 数据与时钟偏斜($T_{SKEW[TX]}$)	101
12.6	Test 1.5.5 初始 HS 偏斜校准突发($T_{SKEWCAL-SYNG}, T_{SKEWCAL}$)	103
12.7	Test 1.5.6 周期性 HS 偏斜校准突发($T_{SKEWCAL-SYNG}, T_{SKEWCAL}$)	104
13	Eye Diagram	105
14	Continuous Data 模式测试	106
15	附录	107
15.1	附录 B: 保修概要	107

1 MIPI D-PHY 一致性分析解决方案简介

RIGOL 生产的 DS70000/DS80000 示波器支持 MIPI 一致性分析功能，可为 MIPI 一致性测试提供了配置灵活，操作便捷的测试解决方案。

技术优势

- 支持标准化协议，测试覆盖范围广泛。
- 支持灵活配置多种测试场景，构造多个测试项目组合，一次完成多项测试。
- 支持预览测试波形，提前判断测试的准确性和有效性。
- 支持生成自定义的 PDF 和 HTML 测试报告，包含测试结论和具体的测量值。
- 提供全套的测试设备并配套使用说明，全方位指导测试操作。

2 文档概述

本手册主要介绍以下内容。

- RIGOL 的 MIPI D-PHY 解决方案支持的标准协议。
- DS80000 和 DS70000 系列示波器的 MIPI D-PHY 一致性分析功能。
- MIPI D-PHY 测试项的测量操作指导。

本文以 DS80000 系列示波器和 PVA8700 有源探头为例，介绍 RIGOL 的 MIPI D-PHY 一致性分析解决方案。

提示

本手册的最新版本可登陆 RIGOL 网址(<http://www.rigol.com>)进行下载。



文档编号

UGM04000-1110

文档格式的约定

1. 按键

用图标表示示波器前面板按键，如  表示“Default”按键。

2. 菜单

用“菜单文字（加粗）+字符底纹”表示一个菜单选项，如 **测试项目** 表示点击仪器当前操作界面上的“测试项目”功能选项，进入“测试项目”的功能菜单。

3. 操作步骤

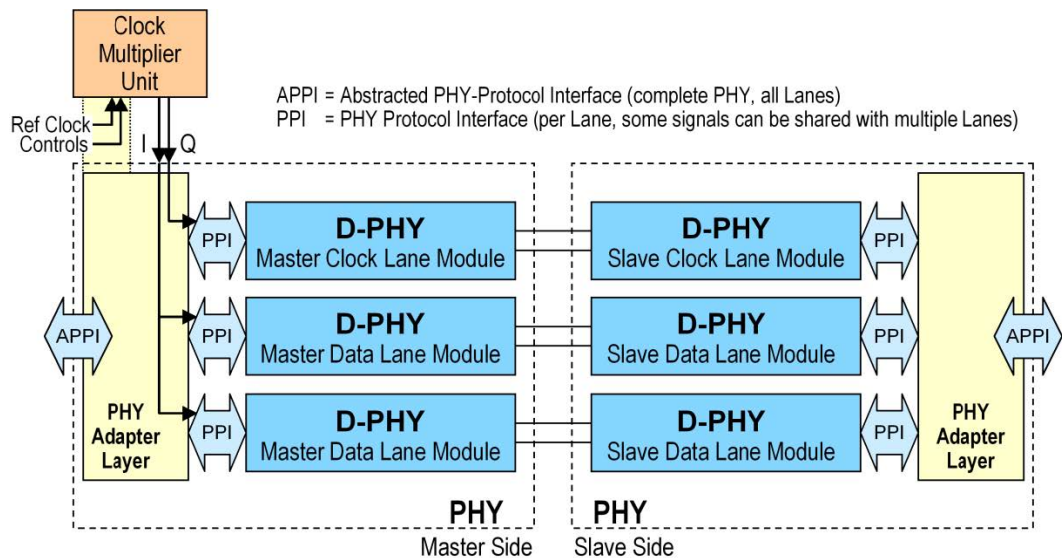
用箭头“>”表示下一步操作，如 **MIPI 分析** > **测试项目** 表示点击 **MIPI 分析** 后，再点击 **测试项目** 功能选项。

3 MIPI D-PHY 协议简介

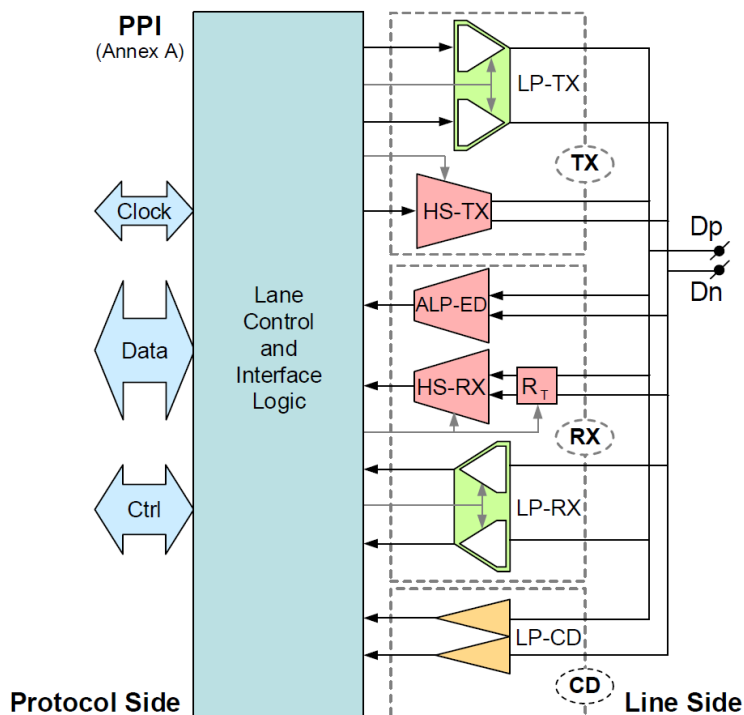
MIPI D-PHY 协议是移动行业处理器接口(MIPI, Mobile Industry Processor Interface)联盟制定的物理层(PHY, Physical Layer)规范。主要定义了移动设备内部组件之间(如摄像头、显示屏、传感器等与处理器)的高速串行通信接口的物理特性、电气特性和信号传输机制等。以实现高效的数据传输,满足设备对高性能、低功耗的需求。

3.1 D-PHY 通信接口

D-PHY 通信规范定义了主设备(Master)和从设备(Slave), Master 发起通信请求,提供时钟信号,控制数据传输等; Slave 响应主设备指令,被动接收或发送数据。例如:用处理器的 D-PHY 连接到外设显示设备(屏幕)的 D-PHY,那么处理器就是 Master,显示设备就是 Slave。



D-PHY 至少会包含一组时钟通道(Clock Lane)以及多组数据通道(Data Lane)用于传输 Clock 和 Data 信号。每一个 D-PHY 通道模块中都通过两条线路(D_p 和 D_n)与对端 D-PHY 接口进行互连通信。



D-PHY 的数据和时钟通道都有高速(HS, High-Speed)和低功耗(LP, Low-Power)两种工作模式。

- **HS-TX** 为通道在 High-Speed 模式下作为信号发送端
- **HS-RX** 为通道在 High-Speed 模式下作为信号接收端
- **LP-TX** 为通道在 Low-Power 模式下作为信号发送端
- **LP-RX** 为通道在 Low-Power 模式下作为信号接收端

本文档主要介绍 MIPI D-PHY 发送(TX)端的一致性分析方案。

3.2 通道的工作模式

- **High-Speed:**
 - **数据通道**使用差分信号 (Dp/Dn) 传输数据, 支持 80 Mbps ~ 2.5 Gbps 传输速率, 需满足严格的时序要求, 常应用于图像视频等高速数据传输。
 - **时钟通道**使用差分信号 (CLKp/CLKn) 传输时钟, 与数据通道同步传输。支持 80 MHz ~ 2.5GHz 传输速率, 为高速数据传输提供同步时钟。
- **Low-Power:**

- **数据通道**使用单端信号 (Dp/Dn 独立驱动) , 速率较低 < 10 Mbps, 存在多种工作模式。
- **时钟通道**使用单端信号 (CLKp/CLKn 独立驱动) , 常用于控制模式切换。

在非传输周期关闭时钟通道, 进入超低功耗状态(ULPS, Ultra-Low Power State)以节省能耗。

数据通道在 LP 模式下存在如下多种工作状态:

- 控制模式(Control Mode): 主要用于控制数据通道的通信方向和状态切换。
- 逃逸模式(Escape Mode): 为数据通道于低功耗状态的一种特殊操作模式。包含如下三种情况
 - LPDT (Low-Power Data Transmission): 低功耗数据传输状态。
 - ULPS (Ultra-Low Power State): 超低功耗状态。
 - Trigger: 根据发送端的协议请求, 向接收方协议发送标志的机制。

在逃逸模式下, 数据通道应用 (Spaced-One-Hot) 编码进行异步通信, 数据传输不依赖于时钟通道, 时钟通道也不发送信号。数据通道进入逃逸模式后, 发送端应发送一个 8 位的进入命令(Entry Command), 以指示请求的操作, 下表列出了当前所有可用的逃逸模式命令和操作。

Table 10 Escape Entry Codes

Escape Mode Action	Command Type	Entry Command Pattern (first bit transmitted to last bit transmitted)
Low-Power Data Transmission	Mode	11100001
Ultra-Low Power State	Mode	00011110
Undefined-1	Mode	10011111
Undefined-2	Mode	11011110
Reset-Trigger [Remote Application]	Trigger	01100010
Entry sequence for HS Test Mode	Trigger	01011101
Unknown-4	Trigger	00100001
Unknown-5	Trigger	10100000

3.3 通道状态码

通过 MIPI D-PHY 发送端的数据通道和时钟通道接口线路引脚的电平状态, 来确定通道状态, 如下所示。

Table 2 Lane State Descriptions

State Code	Line Voltage Levels		High-Speed	Low-Power	
	Dp-Line	Dn-Line	Burst Mode	Control Mode	Escape Mode
HS-0	HS Low	HS High	Differential-0	N/A, Note 1	N/A, Note 1
HS-1	HS High	HS Low	Differential-1	N/A, Note 1	N/A, Note 1
LP-00	LP Low	LP Low	N/A	Bridge	Space
LP-01	LP Low	LP High	N/A	HS-Rqst	Mark-0
LP-10	LP High	LP Low	N/A	LP-Rqst	Mark-1
LP-11	LP High	LP High	N/A	Stop	N/A, Note 2

Note:

1. During High-Speed transmission the Low-Power Receivers observe LP-00 on the Lines.
2. If LP-11 occurs during Escape Mode the Lane returns to Stop state (Control mode LP-11).

在 High-Speed 模式下，Dp 和 Dn 这两条线路输出差分信号，存在如下两种情况：

- **HS-0:**
表示 HS 模式下，Dp(正)线电压为低电平，Dn(负)线电压为高电平；
HS 突发模式下，差分信号状态为 Differential-0 ($V_{Dp} < V_{Dn}$)；
- **HS-1:**
表示 HS 模式下，Dp(正)线电压为高电平，Dn(负)线电压为低电平；
HS 突发模式下，差分信号状态为 Differential-1 ($V_{Dp} > V_{Dn}$)；

在 Low-Power 模式下，Dp 和 Dn 这两条线路独立，存在如下四种情况：

- **LP-00:**
表示在 LP 模式下，Dp 线的的数据是 0，Dn 线的的数据是 0
在 LP Control 模式下代表通道处于桥接 (Bridge) 状态，LP 到 HS 或 Escape 模式切换中间的过渡状态。
在 LP Escape 模式下代表通道处于空闲 (Space) 状态，表示数据传输中的间隔，每个 Mark-1 或 Mark-0 状态后必须紧跟一个 Space 状态，用于在连续的 Mark 状态之间提供时钟信号。
- **LP-01:**
表示在 LP 模式下，Dp 线的的数据是 0，Dn 线的的数据是 1
在 LP Control 模式下代表通道处于高速请求 (HS-Rqst) 状态，用于表示将切换到 HS 模式。
在 LP Escape 模式下代表通道处于标记-0 (Mark-0) 状态，表示逻辑 0。
- **LP-10:**
表示在 LP 模式下，Dp 线的的数据是 1，Dn 线的的数据是 0
在 LP Control 模式下代表通道处于低功耗请求 (LP-Rqst) 状态，用于表示从 HS 模式返回 LP 或 Escape 模式。

在 LP Escape 模式下代表通道处于标记-1 (Mark-1) , 用于表示逻辑 1。

- **LP-11:**

表示在 LP 模式下, Dp 线的的数据是 1, Dn 线的的数据是 1

在 LP Control 模式下代表通道处于停止 (Stop) 状态, 任何模式必须从 Stop 状态开始并最终返回 Stop 状态。

4 测试设备

MIPI D-PHY 电气一致性分析需要用到下述的设备：

表 4.1 需要设备列表

设备	说明
DUT	待测的产品或待测的芯片和模组
示波器	支持 MIPI D-PHY 一致性分析功能。 支持眼图抖动高级功能 带宽 \geq 4GHz；四通道
有源探头	带宽 \geq 4GHz（四个）
测试夹具	低功耗容性负载板：50pF C_{LOAD}
	参考端接板：Reference Termination Board(RTB)夹具
SMA 线缆	用于设备接口连接（四个）

推荐如下设备：

表 4.2 推荐设备型号

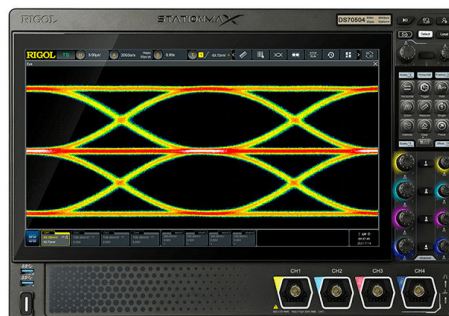
设备	型号
示波器	RIGOL DS80000 系列数字示波器 <ul style="list-style-type: none"> • 购买 MIPI DPHY 一致性分析软件选件 • BNC 探头适配器（四个）
	RIGOL DS70000 系列数字示波器 购买 MIPI DPHY 一致性分析软件选件
有源探头	RIGOL PVA8700 有源探头（四个） <ul style="list-style-type: none"> • 焊线式单端或差分探头前端 • 手持式单端探头前端
RTB 板	型号：UNH-IOLRTB V3.3 Proto Board（一个） 注：RTB 板仅用于芯片级测试
Clod 板	型号：MIPI D-PHY Capacitive Load (CLOAD) Board V1（一个） 注：Clod 板仅用于逃逸模式（Escape Mode）测试

4.1 示波器与探头

RIGOL 生产的 DS80000 系列数字示波器或 DS70000 系列数字示波器，需安装 DPHYC 选件。



DS80000 系列示波器



DS70000 系列示波器

DS80000 系列示波器需使用探头适配器 (标配两个精密 BNC 转接器 3.5mm to BNC (50Ω))



BNC Adapter Input 50Ω



High Impedance Adapter(1MΩ)

RIGOL 生产的 PVA8700 有源探头



PVA8700 有源探头

有四种探头前端

- 手持式差分探头前端
- 手持式单端探头前端
- 焊接式差分探头前端
- 焊接式单端探头前端

4.2 测试夹具

对某些 DUT 进行 MIPI D-PHY 一致性测试，需要使用测试夹具。夹具能够根据采集到的 MIPI D-PHY 信号的波形特征，自动匹配协议要求的负载条件。在差分 $100\ \Omega$ 和 50pF 电容两种不同的负载间自动切换，以满足低功耗 (LP) 和高速 (HS) 两种工作模式的测试需求。

50pF C_{LOAD} 夹具

在 MIPI D-PHY 一致性测试中， 50pF C_{LOAD} (Capacitive Load) 夹具是用于模拟实际的接收端负载的重要工具，包括电容负载和阻抗匹配等，以确保 DUT 在实际应用中的性能。

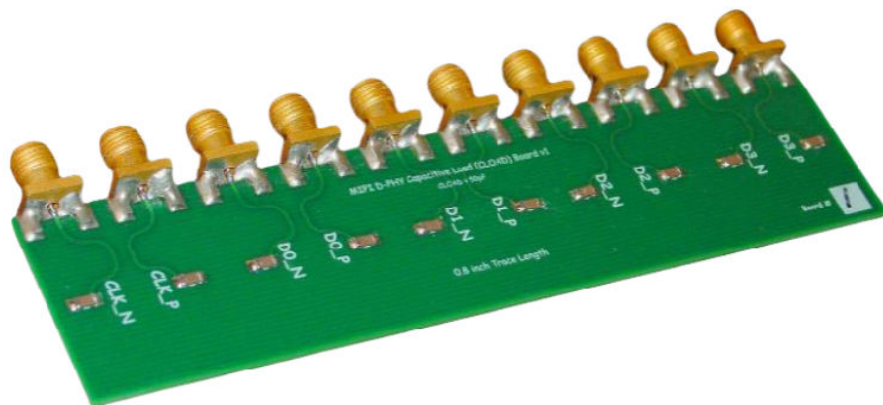


图 4.1 50pF C_{LOAD} 夹具

说明

50pF C_{LOAD} 测试夹具仅在 DUT 在 LP 模式下的测试项目 Group1 和 Group2 中使用。

Reference Termination Board(RTB)夹具

MIPI D-PHY 一致性测试夹具 Reference Termination Board (RTB) 夹具是用于测试 MIPI D-PHY 接口设备的一致性的工具。它主要用于模拟实际的接收端负载，包括阻抗匹配和信号反射等，以确保被测设备 (DUT) 在各种条件下都能正常工作。在开发和调试阶段，RTB 夹具可以帮助工程师发现和解决潜在的问题，确保设备的可靠性和稳定性。

推荐使用新罕布什尔大学互操作性实验室 (UNH-IOL) 发布的 MIPI D-PHY 参考端接板。UNH-IOL 与 MIPI 联盟 (MIPI 标准制定机构) 共同开发的测试程序、夹具和电路板套件 (包括 RTB)，可以满足测试要求如下图所示。

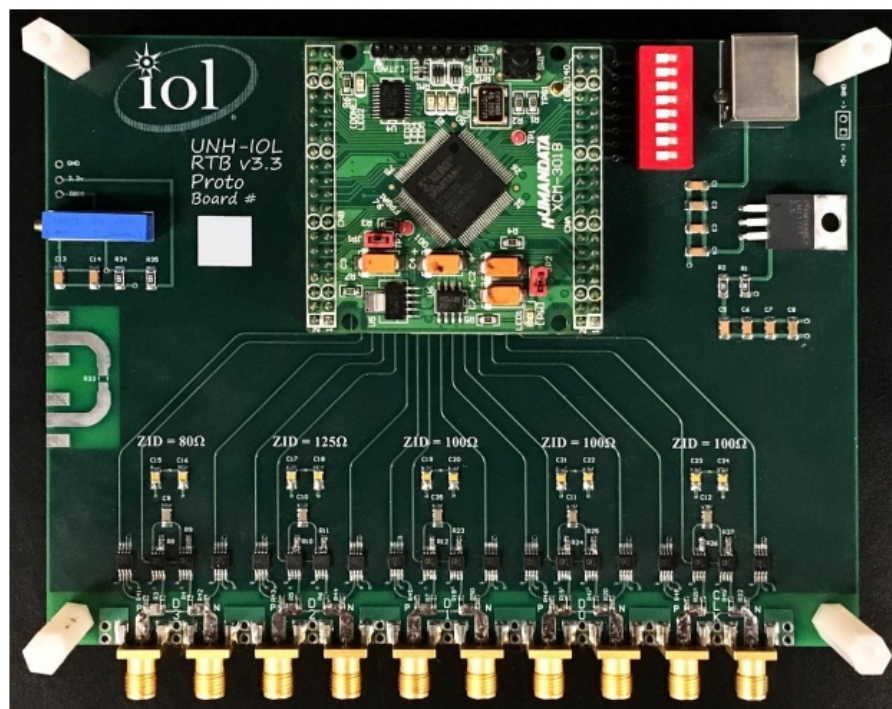


图 4.2 Reference Termination Board(RTB)夹具

RTB 支持:

- 一个时钟通道接口
- 三个负载为 $Z_{ID} = 100\Omega$ 的数据通道接口
- 一个负载为 $Z_{ID} = 80\Omega$ 的数据通道接口
- 一个负载为 $Z_{ID} = 125\Omega$ 的数据通道接口

说明

在实际测量中，通常选用 RTB 的差分输入阻抗为 $Z_{ID} = 100\Omega$ 的数据通道接口进行测试。但为了符合协议要求，只有在测试一些负载的极限情况时选用 $Z_{ID} = 125\Omega$ 或 80Ω 的数据通道接口。



5 示波器与探头校准

在示波器长时间没有使用或更换探头的情况下，在使用前需要进行如下操作，对示波器及探头进行校准。本章以 DS80000 示波器和 PVA8000 系列探头为例介绍校准方法。

其中 DS80000 示波器的详细信息请参考《DS80000 示波器用户手册》，PVA8000 系列探头的详细信息请参考《PVA8000 系列有源探头用户手册》

5.1 示波器自校准

自校正程序可迅速使示波器达到最佳工作状态，以取得最精确的测量值。您可在任何时候执行该程序，尤其是当环境温度变化范围达到或超过 5°C 时。执行自校正操作之前，请确保示波器已预热或运行 30 分钟以上。

在进入示波器的导航菜单，选择“辅助” > “自校正”显示下图所示的自校正界面。



图 5.1 自校准菜单

点击 **开始** 按钮，示波器开始执行自校正程序。自校正完成后，点击 **关闭** 按钮，关闭自校正信息窗口。

5.2 有源探头校准

示波器接入有源探头不可设置探头比，而且需要进行探头校准。

将 PVA8000 系列探头接到示波器的模拟通道接口（探头不接入信号）。示波器识别到探头后，会自动弹出“探头”窗口，如下图所示。左右滑动菜单，或点击通道号 CH1 ~ CH4，可分别切换至 CH1 ~ CH4 的探头配置界面，完成指定通道的探头校准。

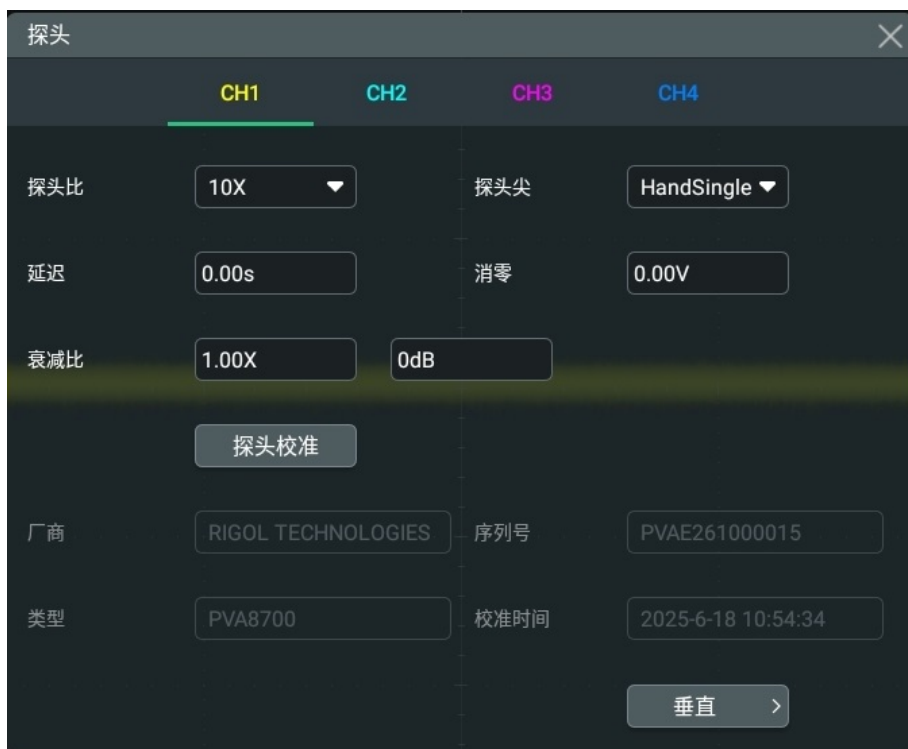


图 5.2 有源探头校准菜单

点击 **探头校准**，示波器自动对探头零点进行校准，探头校准的时间大约 80~90 秒，探头校准完成时示波器会根据校准结果弹出“探头校准完成”或“探头校准失败”提示信息。



图 5.3 探头校准窗口

PVA8000 系列有源探头相关的性能指标依赖于探头的校准。完成校准后，有源探头的直流增益、偏移电压零点和偏移增益均被校准。由于 PVA8000 系列有源探头的偏移电压值由 BNC 模块进行提供，因此在第一次完成校准之后，下次使用前无需再进行校准。

探头更换通道后，需要重新进行探头校准。

5.3 通道延迟校准

PVA8000 系列探头支持手持式和焊接式探头前端，使用不同的探头前端不影响校准的结果。通常在对 DUT 进行一致性测试时，使用焊接式探头单端或差分前端，但是为了操作方便我们在校准时使用手持式单端探头前端。下面以模拟通道 CH1 和 CH2 为例，介绍通道延迟校准的方法。

1. 连接示波器与探头

将两个等长的 PVA8700 探头分别接入到示波器模拟通道 CH1 和 CH2。连接探头的接地线与示波器的接地口。用 SMA 线缆连接示波器 Aux Out 接口，引出快沿输出信号。用两个 PVA8700 探头的探头尖，同时连接到信号输出端。

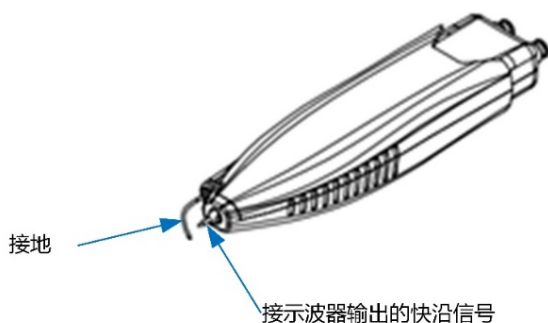


图 5.4 探头校准连接图

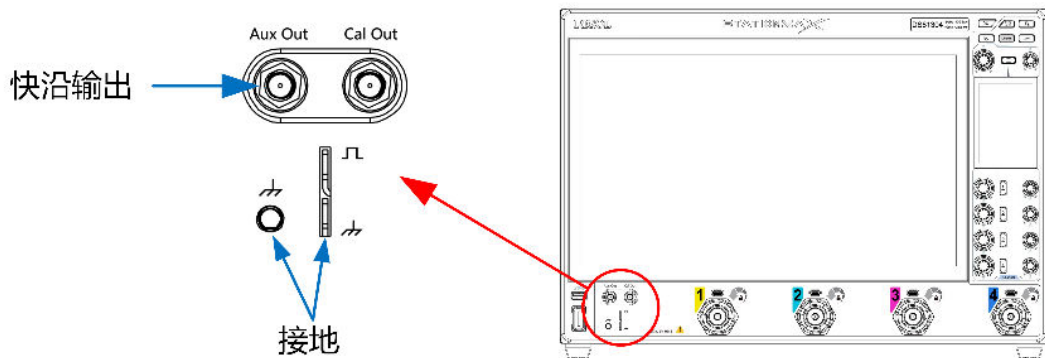


图 5.5 示波器校准连接图

2. 配置示波器输出快沿信号

在进入示波器的导航菜单，选择 **辅助** > **演示信号** 进入演示信号设置菜单。点击选择“打开”（ON）**快沿输出** 项，示波器输出标准的快沿信号，如下图所示。



图 5.6 快沿输出设置菜单

3. 配置示波器捕获 CH1 和 CH2 通道接收的快沿信号

点击示波器屏幕底端的通道标签进入“垂直”菜单，配置 CH1 和 CH2 的输入阻抗为 50Ω。

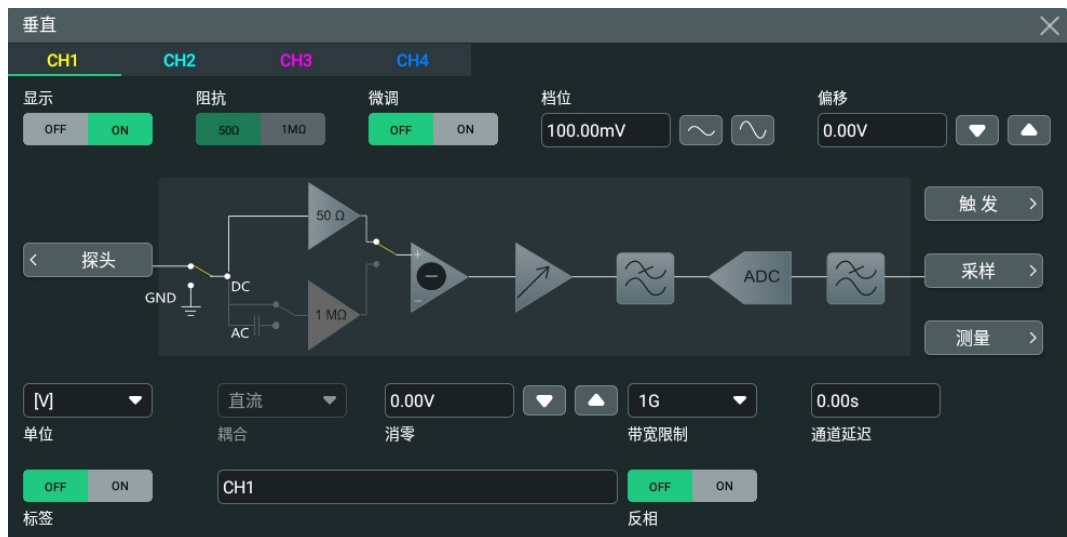
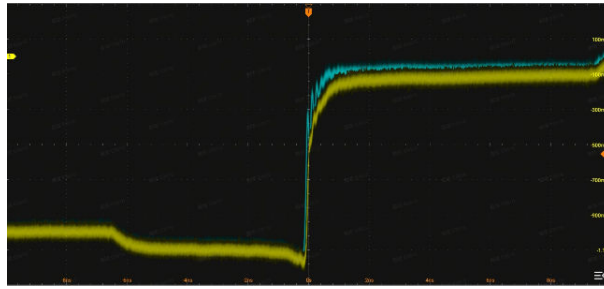


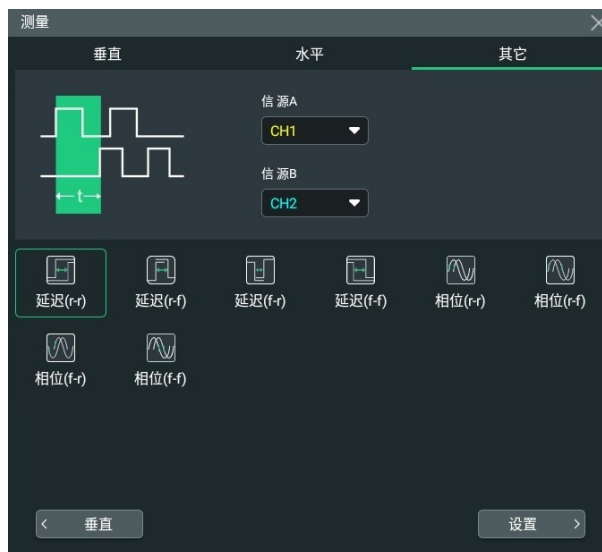
图 5.7 垂直系统菜单

进入“导航”菜单，执行 **自动设置** (Auto)功能，在屏幕中间显示 CH1 和 CH2 通道接收的快沿信号。



4. 测量 CH1 和 CH2 通道间时延

进入测量菜单，选择“其它” > “延迟”，开启测量 CH1 和 CH2 通道间时延。



观察屏幕右侧的结果窗口中的，延迟测量结果，如下图



5. 以 CH1 为基准，校准 CH1 和 CH2 通道间时延

假设测量延迟结果为 60s，则在“垂直”菜单中设置通道 2 的通道延迟为 60s；如果延迟结果为-60s，则设置通道延迟为-60s。

6. 重复步骤 4 和 5，直到测量出的测量延迟结果在 $\pm 10\text{ps}$ 以内。

7. 重复上述操作，以 CH1 为基准，完成通道 1 和通道 3 间时延校准；以通道 2 为基准，完成通道 2 和通道 4 间时延校准对。

6 示波器 MIPI D-PHY 一致性分析功能

DS70000/DS80000 系列示波器支持 MIPI 信号质量一致性分析功能(MIPI)，此功能需要用户购买并激活 MIPI 选件后使用。DS70000/DS80000 系列示波器的详细介绍请参考《DS70000/DS80000 用户手册》。

本文以 DS80000 系列示波器为例，介绍 RIGOL 的 MIPI D-PHY 一致性分析解决方案。

开机进入主界面后，可通点击  > **MIPI 分析**，进入“MIPI D-PHY 一致性分析”菜单。

6.1 系统设置

进入“系统设置”子菜单，如下图。



图 6.1 系统设置菜单

DUT ID

可输入字符串作为被测设备的标识，仅用于测试报告显示。

D-PHY 版本

支持三种 MIPI D-PHY 一致性测试协议版本，分别为：v1.0、v1.1 和 v1.2。

不同协议版本包含的测试项目略有不同，其中仅 D-PHY 1.2 版本包含测试项 Test 1.5.5 和 Test1.5.6，D-PHY 1.0 版本不包含测试项 Test 1.4.18。

高速速率

可选择测试信号的数速率范围为： ≤ 1 Gbps、1 Gbps ~ 1.5 Gbps 和 1.5 Gbps ~ 2.5 Gbps。不同“D-PHY 版本”支持的范围不同，选择不同的速率会导致部分测试项的测试通过标准不同，进而体现在测试报告中的 Pass/Failed 结果。但不影响各个测试项实际的测量值。

其中 Test 1.5.5 和 Test 1.5.6 只适用 1.5G 以上速率。

测试模式

- **Normal**: 正常工作模式，仅支持 Group3, Group4, Group5 和 Eye Diagram 测试项。
- **Escape**: 低功耗逃逸模式，仅支持 Group1 和 Group2 测试项。
- **Normal+Escape**: 包含了 Normal 模式和 Escape 模式，支持 Group1 ~ Group5 和 Eye Diagram 测试项。
- **Continuous Data**: 连续数据模式，DUT 的数据和时钟通道都输出连续的高速信号（非规范定义的标准工作模式）。仅支持 Group3 ~ Group5 中的部分测试项和 Eye Diagram 测试项。

时钟模式

- **连续时钟:**

在数据通道(Data Lane)进行数据传输的过程中，无论数据通道处于 LP 还是 HS 状态，时钟通道(Clock Lane)始终处于 HS 模式不会切换到 LP 状态。

选择“连续时钟”，时钟通道(Clock Lane)可以选择“单端”和“差分”探头两种连接方式。

- **非连续时钟:**

在数据通道(Data Lane)进行数据传输过程中，数据通道进入 LP 状态，时钟通道也切换为 LP 状态。在数据通道再次进入 HS 状态前，时钟通道需要切换为 HS 状态，因而时钟是非连续的。

选择“非连续时钟”，时钟通道(Clock Lane)只能选择使用“单端”探头连接方式。

不同的时钟模式可进行的测试项目不同。其中连续时钟模式不适用于测试项：Group2、Test 1.4.1 ~ Test 1.4.3、Test 1.4.13 ~ Test 1.4.16 和 Test 1.5.1 ~ Test 1.5.2。当测试模式为 Continuous Data，只能选择连续时钟。

夹具设置

可根据实际测试场景是否需要测试夹具，选择切换方式。

- **自动切换:**

选择此模式，开始测试后，示波器提示使用夹具的测试连接方式和操作指导，不影响实际的测试结果。通常在进行产品测试，被测产品支持自动调整终端负载，采用此模式。

- **手动切换：**

选择此模式，开始测试后，示波器提示不使用夹具的测试连接方式和操作指导，不影响实际的测试结果。通常在进行裸芯片测试时需要手动进行切换。

探头连接

- **直接连接：** DS70000 系列示波器直接连接探头
- **探头适配器：** DS80000 系列示波器需安装探头适配器后连接探头

Clock Lane 探头

- **单端：** 使用单端探头，示波器显示波形为被测信号相对于 GND 的电压随时间的变化。
当 Clock Lane 探头选择“单端”，时钟模式可以选择“连续时钟”和“非连续时钟”。
- **差分：** 使用差分探头，示波器显示的波形为两个输入信号之间的电压差值随时间的变化。
当 Clock Lane 探头选择“差分”，时钟模式只能选择“连续时钟”。

时钟通道的差分探头连接方式不适用于测试项：Group2、Test 1.4.1 ~ Test 1.4.3、Test 1.4.6 ~ Test 1.4.10、Test 1.4.13 ~ Test 1.4.16 和 Test 1.5.1 ~ Test 1.5.2。

Clock Lane 探头的配置应与实际的测试连接相匹配，在[测试连接](#)章节可查看时钟通道使用单端或差分探头连接的测试连接图。

设置信源通道

- **Data Lane 信源：** 通过下拉菜单选择测量数据信号的通道。
- **Clock Lane 信源：** 通过下拉菜单选择测量时钟信号的通道。

默认 CH1 和 CH3 为一对，CH2 和 CH4 为一对，不支持 CH1 与 CH2/CH3 交叉配对。当时钟通道(Clock Lane)使用差分接入时，支持选择 CH2 或 CH4。

6.2 测试项目

确定系统设置后，点击 **测试项目** 可进入选择测试项目子菜单，如下图所示。



可通过勾选测试项前的复选框来选择备测试的项目。

6.2.1 Group1 测试项目

Group1 数据通道 LP-TX 信号测试，包含如下测试项。

测试项目	描述
Test 1.1.1	数据通道 LP-TX Thevenin 输出高电平电压(V_{OH})
Test 1.1.2	数据通道 LP-TX Thevenin 输出低电平电压(V_{OL})
Test 1.1.3	数据通道 LP-TX 15% - 85%上升时间(T_{RLP})
Test 1.1.4	数据通道 LP-TX 15% - 85%下降时间(T_{FLP})
Test 1.1.5	数据通道 LP-TX 压摆率与负载电容($\delta V/\delta t_{SR}$)
Test 1.1.6	数据通道 LP-TX 异或时钟脉冲宽度($T_{LP-PULSE-TX}$)
Test 1.1.7	数据通道 LP-TX 异或时钟周期($T_{LP-PERTX}$)

配置要求

进行 Group1 的各项测试，需要在示波器 MIPI 一致性分析功能的**系统配置**子菜单中进行如下选择。

- 测试模式：选择 Normal+Escape 或 Escape。
- 其他项目无需配置，保持默认即可。

测试连接

Group1 可选择如下测试设备连接方式。

- 使用 50pF C_{LOAD} 测试夹具连接，请参考图 7.1。
- 只连接数据通道，请参考图 7.6。

6.2.2 Group2 测试项目

Group2 时钟通道 LP-TX 信号测试，包含如下测试项。

测试项目	描述
Test 1.2.1	时钟通道 LP-TX Thevenin 输出高电平电压(V_{OH})
Test 1.2.2	时钟通道 LP-TX Thevenin 输出低电平电压(V_{OL})
Test 1.2.3	时钟通道 LP-TX 15% - 85%上升时间(T_{RLP})
Test 1.2.4	时钟通道 LP-TX 15% - 85%下降时间(T_{FLP})
Test 1.2.5	时钟通道 LP-TX 压摆率与负载电容($\delta V/\delta t_{SR}$)

配置要求

进行 Group2 的各项测试，需要在示波器 MIPI 一致性分析功能的**系统配置**子菜单中进行如下选择。

- 测试模式：选择 Normal+Escape 或 Escape。
- 时钟模式：选择非连续时钟
- Clock Lane 探头：选择单端
- 其他项目无需配置，保持默认即可。

测试连接

Group2 可选择如下测试设备连接方式。

- 使用 50pF C_{LOAD} 测试夹具连接，请参考图 7.1。
- 只单端连接时钟通道，请参考图 7.7。

6.2.3 Group3 测试项目

Group3 数据通道 HS-TX 信号测试，包含如下测试项。

测试项目	描述
Test 1.3.1	数据通道 HS Entry:低功耗发送至高速模式转换值

测试项目	描述
Test 1.3.2	数据通道 HS Entry:高速模式准备时间值
Test 1.3.3	数据通道 HS Entry:高速模式准备时间值与高速零状态时间值之和
Test 1.3.4	数据通道 HS-TX 差分电压($V_{OD(0)}$, $V_{OD(1)}$)
Test 1.3.5	数据通道 HS-TX 差分电压失配(ΔV_{OD})
Test 1.3.6	数据通道 HS-TX 单端输出高电压($V_{OHHS(DP)}$)
Test 1.3.6	数据通道 HS-TX 单端输出高电压($V_{OHHS(DN)}$)
Test 1.3.7	数据通道 HS-TX 静态共模电压($V_{CMTX(1)}$, $V_{CMTX(0)}$)
Test 1.3.8	数据通道 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)
Test 1.3.9	数据通道 HS-TX 在 50-450MHz 之间的动态共模电平变化($\Delta V_{CMTX(LF)}$)
Test 1.3.10	数据通道 HS-TX 在 450MHz 以上的动态共模电平变化($\Delta V_{CMTX(HF)}$)
Test 1.3.11	数据通道 HS-TX 20%-80%上升时间(t_R)
Test 1.3.12	数据通道 HS-TX 80%-20%下降时间(t_F)
Test 1.3.13	数据通道 HS Exit: 高速模式退出时间值
Test 1.3.14	数据通道 HS Exit: 结束后(EoT) 30% - 85%上升时间(T_{REOT})
Test 1.3.15	数据通道 HS Exit: 退出结束时间值
Test 1.3.16	数据通道 HS Exit: 高速退出时间值

配置要求

进行 Group3 的各项测试，需要在示波器 MIPI 一致性分析功能的**系统配置**子菜单中进行如下选择。

- 测试模式：选择 Normal、Normal+Escape 和 Continuous Data。
- 其他项目无需配置，保持默认即可。

测试连接

当测试模式为 Normal 或 Normal+Escape 时，可选择如下测试设备连接方式。

- 使用 RTB 夹具连接，请参考[使用 RTB 夹具连接](#)。
- 连接时钟和数据通道，请参考[连接时钟和数据通道](#)。

当测试模式为 Continuous Data 时，应选择 *Continuous Data Test* 连接。

6.2.4 Group4 测试项目

Group 4 Clock Lane HS-TX 信号测试包含如下测试项。

测试项目	描述
Test 1.4.1	时钟通道 HS Entry: 低功耗发送至高速模式转换值
Test 1.4.2	时钟通道 HS Entry: 时钟高速模式准备时间值
Test 1.4.3	时钟通道 HS Entry: 时钟高速模式准备时间值与时钟高速零状态时间值之和
Test 1.4.4	时钟通道 HS-TX 差分电压($V_{OD(0)}$ 、 $V_{OD(1)}$)
Test 1.4.5	时钟通道 HS-TX 差分电压失配(ΔV_{OD})
Test 1.4.6	时钟通道 HS-TX 单端输出高电压($V_{OHHS(DP)}$)
Test 1.4.6	时钟通道 HS-TX 单端输出高电压($V_{OHHS(DN)}$)
Test 1.4.7	时钟通道 HS-TX 静态共模电压($V_{CMTX(1)}$ 、 $V_{CMTX(0)}$)
Test 1.4.8	时钟通道 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)
Test 1.4.9	时钟通道 HS-TX 在 50-450MHz 之间的动态共模电平变化($\Delta V_{CMTX(LF)}$)
Test 1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化($\Delta V_{CMTX(HF)}$)
Test 1.4.11	时钟通道 HS-TX 20%-80%上升时间(t_R)
Test 1.4.12	时钟通道 HS-TX 80%-20%下降时间(t_F)
Test 1.4.13	时钟通道 HS Exit: 时钟高速模式退出时间值
Test 1.4.14	时钟通道 HS Exit: 结束后(EoT) 30% - 85%上升时间(T_{REOT})
Test 1.4.15	时钟通道 HS Exit: 退出结束时间值
Test 1.4.16	时钟通道 HS Exit: 高速退出时间值
Test 1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (U_{INST})
Test 1.4.18	时钟通道高速模式下时钟单位间隔偏差 (ΔUI)

配置要求

Group4 的各项测试适用的配置不同。由于连续时钟模式下，时钟信号持续稳定输出，不会出现时钟通道在 HS 和 LP 状态间切换的情况，无法进行时钟通道状态切换相关项目的测试。所以部分测试项需在非连续时钟信号下进行。

在示波器 MIPI 一致性分析功能的**系统配置**子菜单中进行如下选择。

表 6.5 Group4 各测试项适用的不同场景

测试项目	D-PHY 版本	高速速率	时钟模式	时钟通道探头	
Test 1.4.1	v1.0/1.1/1.2	≤ 1 Gbps 1 Gbps ~ 1.5 Gbps 1.5 Gbps ~ 2.5 Gbps	非连续	单端	
Test 1.4.2					
Test 1.4.3					
Test 1.4.4			连续/非连续	≤ 1 Gbps 1 Gbps ~ 1.5 Gbps 1.5 Gbps ~ 2.5 Gbps	单端/差分
Test 1.4.5					
Test 1.4.6					
Test 1.4.6					
Test 1.4.7					
Test 1.4.8					
Test 1.4.9					
Test 1.4.10					
Test 1.4.11					
Test 1.4.12					单端/差分
Test 1.4.13					
Test 1.4.14					
Test 1.4.15					
Test 1.4.16					
Test 1.4.17	非连续	≤ 1 Gbps	单端		
Test 1.4.18					
Test 1.4.18	v1.1/1.2	≤ 1 Gbps	连续/非连续	单端/差分	

测试项目	D-PHY 版本	高速速率	时钟模式	时钟通道探头
		1 Gbps ~ 1.5 Gbps		

测试连接

当测试模式为 Normal 或 Normal+Escape 时，可选择如下测试设备连接方式。

- 使用 RTB 夹具连接，请参考[使用 RTB 夹具连接](#)。
- 连接时钟和数据通道，请参考[连接时钟和数据通道](#)。

当测试模式为 Continuous Data 时，应选择 [Continuous Data Test 连接](#)。

6.2.5 Group5 测试项目

Group5 高速发送(HS-TX)时钟到数据通道(Clock-to-Data Lane)时序测试，包含如下测试项

测试项目	描述
Test 1.5.1	高速模式进入: $T_{CLK-PRE}$ 值
Test 1.5.2	高速模式退出: $T_{CLK-POST}$ 值
Test 1.5.3	高速时钟上升沿与首个有效载荷位的对齐
Test 1.5.4	数据与时钟偏斜 lock Skew ($T_{SKEW[TX]}$)
Test 1.5.5	初始 HS 偏斜校准突发 ($T_{SKEWCAL-SYNC}$, $T_{SKEWCAL}$)
Test 1.5.6	定期 HS 偏斜校准突发 ($T_{SKEWCAL-SYNC}$, $T_{SKEWCAL}$)

配置要求

Group5 的各项测试适用的配置不同。在示波器 MIPI 一致性分析功能的[系统配置](#)子菜单中进行如下选择。

表 6.7 Group5 各测试项适用的不同场景

测试项目	D-PHY 版本	高速速率	时钟模式	时钟通道探头
Test 1.5.1	v1.0/1.1/1.2	≤1 Gbps 1 Gbps ~ 1.5 Gbps 1.5 Gbps ~ 2.5 Gbps	非连续	单端
Test 1.5.2				
Test 1.5.3			连续/非连续	单端/差分
Test 1.5.4				
Test 1.5.5	v1.2	1.5 Gbps ~ 2.5 Gbps		

测试项目	D-PHY 版本	高速速率	时钟模式	时钟通道探头
Test 1.5.6				

测试连接

当测试模式为 Normal 或 Normal+Escape 时，可选择如下测试设备连接方式。

- 使用 RTB 夹具连接，请参考[使用 RTB 夹具连接](#)。
- 连接时钟和数据通道，请参考[连接时钟和数据通道](#)。

当测试模式为 Continuous Data 时，应选择 [Continuous Data Test 连接](#)。

6.2.6 Eye Diagram 测试项目

本测试项用于测量 DUT 在高速(High-Speed)模式下发送的数据信号。示波器捕获数据通道发送的连续高速数据信号后，生成眼图并获取眼图宽和高的值。（本测试项为非规范定义的标准测试项目）

- HS Data Eye Height: 生成眼图的高度
- HS Data Eye Width: 生成眼图的宽度

配置要求

进行 Eye Diagram 测试项目，需要在示波器 MIPI 一致性分析功能的[系统配置](#)子菜单中进行如下选择。

- 测试模式：Escape 不适用，其他选项支持。
- 根据测试设备的实际连接情况，选择“Data Lane 信源”和“Clock Lane 信源”。

测试连接

当测试模式为 Normal 或 Normal+Escape 时，可选择如下测试设备连接方式。

- 使用 RTB 夹具连接，请参考[使用 RTB 夹具连接](#)。
- 连接时钟和数据通道，请参考[连接时钟和数据通道](#)。

当测试模式为 Continuous Data 时，应选择 [Continuous Data Test 连接](#)。

6.3 设置分析

点击 [设置分析](#)，可进入“配置分析”子菜单。



配置信息

用于显示实时配置信息，不可修改。

测量分析日志

点击 **显示** 按钮，弹出的测量分析日志窗口中显示测试过程日志。

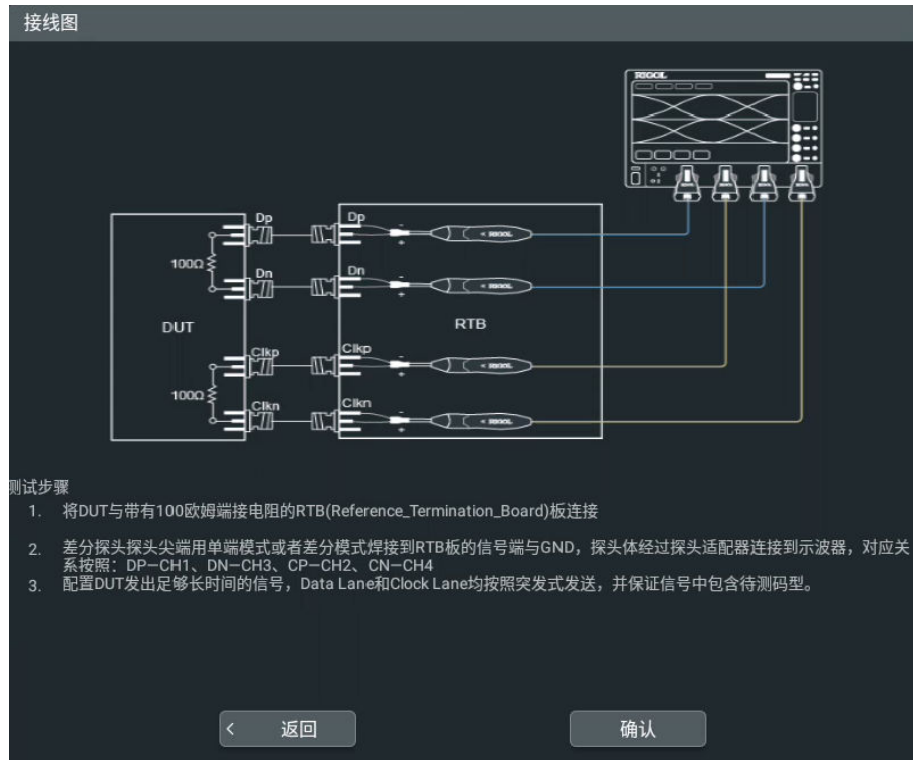
波形预览与保存

点击 **波形预览** 按钮，可在波形视图中查看示波器接收到的测量信号波形。确认被测试信号正确后再开始测量。

打开保存波形开关，可将保存当前显示的波形。

启动测量

通过预览确认被测信号正确后，点击 **启动测量** 按钮，弹出“接线图”窗口，如下图所示。用户可按照窗口提供的连接图进行测试设备连接，边按照测试步骤进行操作。点击 **确认** 按钮开始进行指定测试项目的测量。

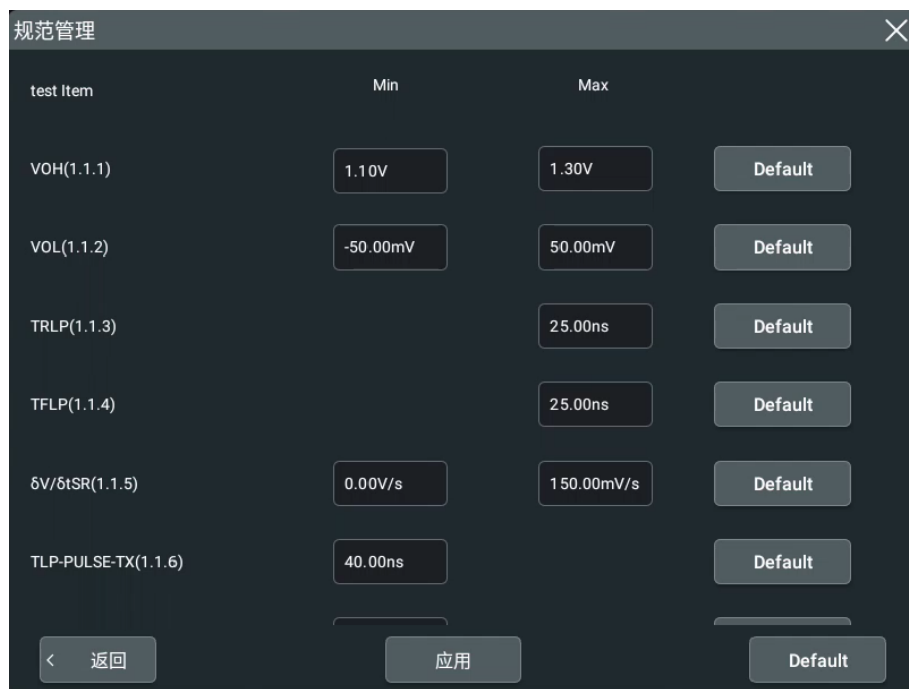


示波器支持一次完成多个测量项的测试，在测试过程中如需调整测试连接方式，会弹出操作提示窗口指导用户操作，直到完成全部测试项。

若在“系统设置”子菜单选择“测试模式”为“Normal+Escape”，并且一次测试包括“Escap”和“Normal”两种模式的多组测试项，则在启动测量后，示波器会先提示给Escape模式的测试指导；测试完成之后提示给Normal模式的测试指导。如当前的DUT设备能提供两种信号，则不需要调整连接线路，直接选择**继续测试**，可完成所有测试项。

6.4 规范管理

进入“设置分析”子菜单，点击**规范管理**按钮，可设置和查看MIPI D-PHY各个测试项，测量结果的取值范围。



在“[系统设置](#)”菜单中修改“高速速率”，会自动修改“规范管理”子菜单中相关项目的 Min 和 Max 值；也支持手动对其进行修改。

执行不同项目测试得到测量结果，如果在[规范管理](#)页面显示的约定范围内，则测试通过，否则失败，测试结果将在测试报告中体现。

在规范管理菜单中可设置和查询 MIPI D-PHY 各测试项目测量的参数的取值范围，执行不同项目测试的结果在范围内，则测试通过，否则测试结果失败。

Group1 待测设备(DUT)的数据通道处于低功耗(LP)状态时，发送端的状态验证。

表 6.8 LP 状态参数范围

测试项	测量参数	描述	范围	
			最小值	最大值
1.1.1	V_{OH}	等效输出高电平电压	1.1 V ^[1]	1.3 V
			0.95 V ^[2]	
1.1.2	V_{OL}	等效输出低电平电压	-50 mV	50 mV
1.1.3	T_{RLP}	15% ~ 85%上升时间		25 ns
1.1.4	T_{FLP}	15% ~ 85%下降时间		25 ns
1.1.5	$\delta V/\delta t_{SR}$	压摆率	0	150 mV/s
1.1.6	$T_{LP-PULSE-TX}$	异或时钟的脉冲宽度	40 ns	

测试项	测量参数	描述	范围	
			最小值	最大值
1.1.7	$T_{LP-PER-TX}$	异或时钟的周期	90 ns	



提示

[1]: 待测设备的高速速率 ≤ 1.5 Gbps

[2]: 待测设备的高速速率 > 1.5 Gbps

Group2 待测设备(DUT)的时钟通道处于低功耗(LP)状态时, 发送端的状态验证。各参数取值范围同上表 Group1 中各测试项的参数范围。

Group3 待测设备(DUT)的数据通道处于高速(HS)状态时, 发送端的状态验证。

表 6.9 数据通道 HS-TX 参数范围

测试项	测量参数	描述	范围	
			最小值	最大值
1.3.1	T_{LPX}	LP-TX 至 HS-TX 转换值	50 ns	
1.3.2	$T_{HS-PREPARE}$	HS 准备时间	40 ns	85 ns
			4 UI	6 UI
1.3.3	$T_{HS-PREPARE+THS-ZERO}$	高速模式准备时间值与高速零状态时间值之和	(145 ns + 10*UI) ns	
1.3.4	$V_{OD[0]}$	差分电压		
	$V_{OD[1]}$			
1.3.5	ΔV_{OD}	差分电压失配		14 mV
1.3.6	$V_{OHHS(DP)}$	单端输出高电压		360.00 mV
	$V_{OHHS(DN)}$			
1.3.7	$V_{CMTX[0]}$	静态共模电压	150.00 mV	250.00 mV
	$V_{CMTX[1]}$			
1.3.8	ΔV_{CMTX}	静态共模电压失配		5.00 mV
1.3.9	ΔV_{CMTX_LF}	50~450 MHz 范围内动态共模电平变化		25.00 mV

测试项	测量参数	描述	范围	
			最小值	最大值
1.3.10	ΔV_{CMTX_HF}	450MHz 以上动态共模电平变化		1 5.00 mV
1.3.11	t_R	20% ~ 80%上升时间		0.30*UI ^[1]
				0.35*UI ^[2]
				0.4*UI ^[3]
1.3.12	t_F	20% ~ 80%下降时间		0.30*UI ^[1]
				0.35*UI ^[2]
				0.4*UI ^[3]
1.3.13	$T_{HS-TRAIL}$	高速模式退出时间值	60 ns	
			4 UI	
1.3.14	T_{REOT}	LP-TX: 30% ~ 85%信号传输后上升时间		35 ns
1.3.15	T_{EOT}	HS 退出结束时间值		105 ns
				12 UI
1.3.16	$T_{HS-EXIT}$	高速退出时间值	100 ns	

提示

[1]: 待测设备的高速速率 ≤ 1.5 Gbps

[2]: 待测设备的高速速率 > 1 Gbps 且 ≤ 1.5 Gbps

[3]: 待测设备的高速速率 > 1.5 Gbps

Group4 待测设备(DUT)的时钟通道处于高速(HS)状态时, 发送端的状态验证。

其中 Test 1.4.1、1.4.5~ Test 1.4.16 的各参数取值范围同上表 Group3 中测试项 Test 1.3.1 ~ Test 1.3.16 的参数范围。

表 6.10 时钟通道 HS-TX 参数范围

测试项	测量参数	描述	范围	
			最小值	最大值
1.4.2	$T_{CLK-PREPARE}$	时钟高速模式准备时间值	38 ns	95 ns

测试项	测量参数	描述	范围	
			最小值	最大值
1.4.3	$T_{\text{CLK-PREPARE}} + T_{\text{CLK-ZERO}}$	时钟高速模式准备时间值与时钟高速零状态时间值之和	300 ns	
1.4.4	$V_{\text{OD}(1)}$		140 mV	270 mV
	$V_{\text{OD}(0)}$		-270 mV	-140 mV
1.4.17	U_{IINST}	瞬时单位间隔	0 ns	12.5 ns ^[1]
1.4.18	ΔU_{I}	单位间隔偏差	-10% ^[2]	10% ^[2]
			-5% ^[3]	5% ^[3]

提示

[1]: 在进行 Test 1.4.17 时钟通道高速模式下时钟的瞬时单位间隔(U_{IINST})项目测试时, 由取值范围于需要用户从 DUT 供应商处获取, 或通过 DUT 的数据表获取, 所以需要用户根据实际情况修改测量结果通过的范围值。

[2]: 待测设备的高速速率 ≤ 1.5 Gbps

[3]: 待测设备的高速速率 > 1 Gbps 且 ≤ 1.5 Gbps

Group5: HS-TX 时钟与数据通道间定时要求

表 6.11 HS 状态参数范围

测试项	测量参数	描述	范围	
			最小值	最大值
1.5.1	$T_{\text{CLK-PRE}}$	HS 时钟信号的最短持续时间	$(8 \cdot U_{\text{I}})$ ns	
1.5.2	$T_{\text{CLK-POST}}$	切换后 HS 时钟信号的最短持续时间	$(60 \text{ ns} + 52 \cdot U_{\text{I}})$ ns	
1.5.4	$T_{\text{SKEW(TX)}}$	数据与时钟偏斜 Clock Skew	$(0.5 - 0.15) \cdot U_{\text{I}}$ ^[1]	$(0.5 + 0.15) \cdot U_{\text{I}}$ ^[1]
			$(0.5 - 0.2) \cdot U_{\text{I}}$ ^[2]	$(0.5 + 0.2) \cdot U_{\text{I}}$ ^[2]
1.5.5	$T_{\text{SKEWCAL-SYNC}}$	初始 HS 偏斜校准突发	$(16 - 0.25) \cdot U_{\text{I}}$	$(16 + 0.25) \cdot U_{\text{I}}$
	T_{SKEWCAL}		$2^{12} \cdot U_{\text{I}} (4096 \cdot U_{\text{I}})$	

测试项	测量参数	描述	范围	
			最小值	最大值
1.5.6	T _{SKEWCAL-SYNC}	定期 HS 偏斜校准突发	(16 - 0.25)*UI	(16 + 0.25)*UI
	T _{SKEWCAL}		2 ¹² *UI(4096*U1)	



提示

[1]: 待测设备的高速速率 ≤ 1 Gbps

[2]: 待测设备的高速速率 > 1 Gbps

6.5 分析报告

本仪器支持查看和保存测试结果报告，并下载到本地。

点击 **报告导出**，可设置导出分析报告的信息。



图 6.2 分析报告菜单

点击 **显示报告** 按钮，弹出测试结果报告 web 页面。

点击 **数据清理** 按钮，可初始化当前配置信息。

保存设置

- **保存格式**

可选择以*.html 或 *.pdf 格式保存分析报告。

- **文件名称**

可通过虚拟键盘，输入要保存的文件名。

- **文件路径**

点击 **文件路径** 项的输入框，弹出“磁盘管理”界面。可以选择分析报告的保存位置。

设置用户信息

在如下项目的输入框中，输入本次测试的相关信息，都将显示在生成的测试分析报告中。

提示

通过虚拟键盘输入字符串，最长支持 64 个字符，可输入数字、字母或特殊字符。

完成以上设置后，点击 **保存报告** 按钮，进行保存。



7 测试连接

根据实际的测试设备和测试项选择测量连接方式。下面以 RIGOL DS80000 系列示波器和 RIGOL PVA8700 有源探头为例，介绍 MIPI D-PHY 一致性分析方案的测试连接方式。

在使用 PVA8700 有源探头进行测量时，通常使用焊线式的单端探头前端或差分探头前端，使用焊线式探头与 DUT 直接相连。

MIPI D-PHY 的数据通道(Data Lane)的 Dp 和 Dn 引脚的连接方法：

- **如果使用差分探头前端**

差分探头的+端连接 Dp/Dn 引脚，差分探头的-端连接 GND 引脚。

- **如果使用单端探头前端（包含一根信号线，一根地线，如图 5.4）**

探头的信号线与 Dp/Dn 引脚连接，探头的地线与 Dp/Dn 旁边的 GND 引脚相连。

MIPI D-PHY 的时钟通道(Clock Lane)的 Clkp 和 Clkn 引脚的连接方法：

- **非连续时钟信号：**连接方式与数据通道(Data Lane)的连接方式相同，只能单端连接。

- **连续时钟信号**

- 可选用与数据通道(Data Lane)相同的连接方式。

- 探头的正端连接 DUT Clock Lane 的 Clkp 引脚，探头的负端连接 DUT Clock Lane 的 Clkn 引脚。

7.1 使用 50pF C_{LOAD} 测试夹具连接

通常在进行裸芯片或板级测试的场景下，需要使用测试夹具模拟 RX 端。测试使用 50pF C_{LOAD} 测试夹具，但测试结果与终端电容无关，终端的电容特性不应影响静态高电平和低电平。

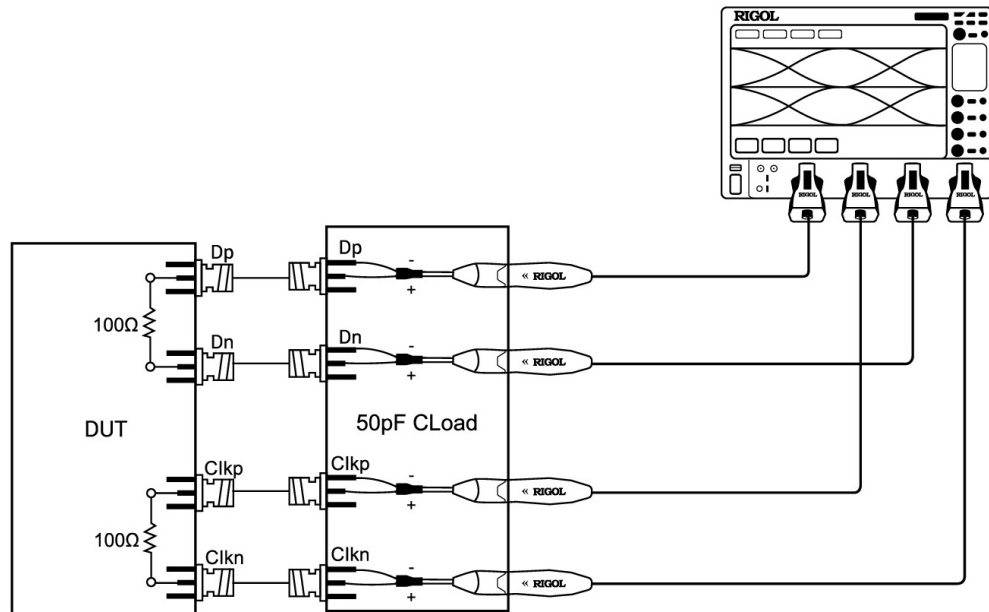


图 7.1 50pF C_{LOAD} 单端连接时钟通道

在进行如下测试项目时，可使用 50pF C_{LOAD} 夹具：

- Group1 数据通道(Data Lane)低功耗发送(LP-TX)信号测试。
- Group2 时钟通道(Clock Lane)高速发送(LP-TX)信号测试。

7.2 使用 RTB 夹具连接

使用 RTB(Reference Termination Board) 测试夹具进行测试，默认差分负载电阻 Z_{ID} 为 100Ω。

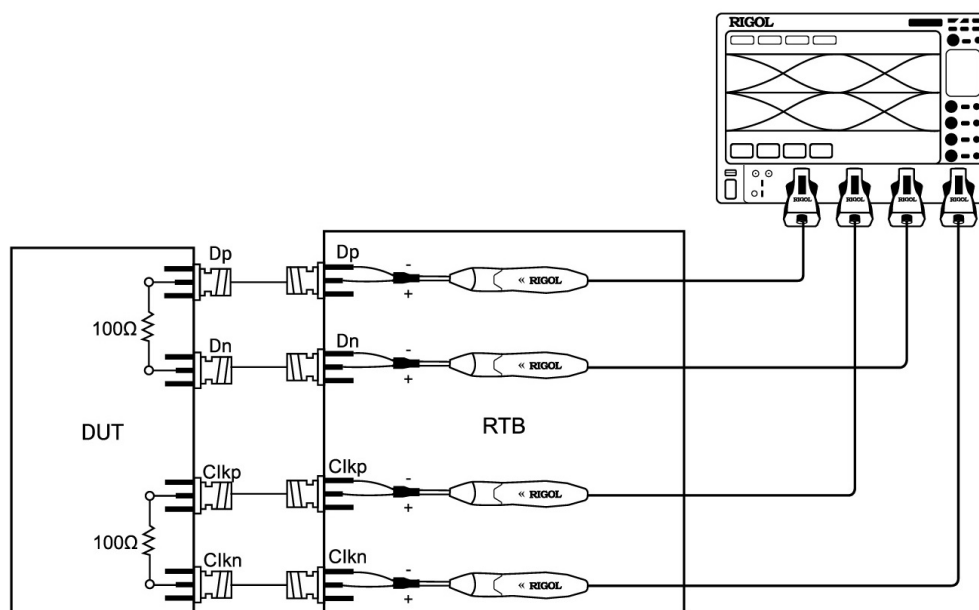


图 7.2 RTB 夹具单端连接时钟通道

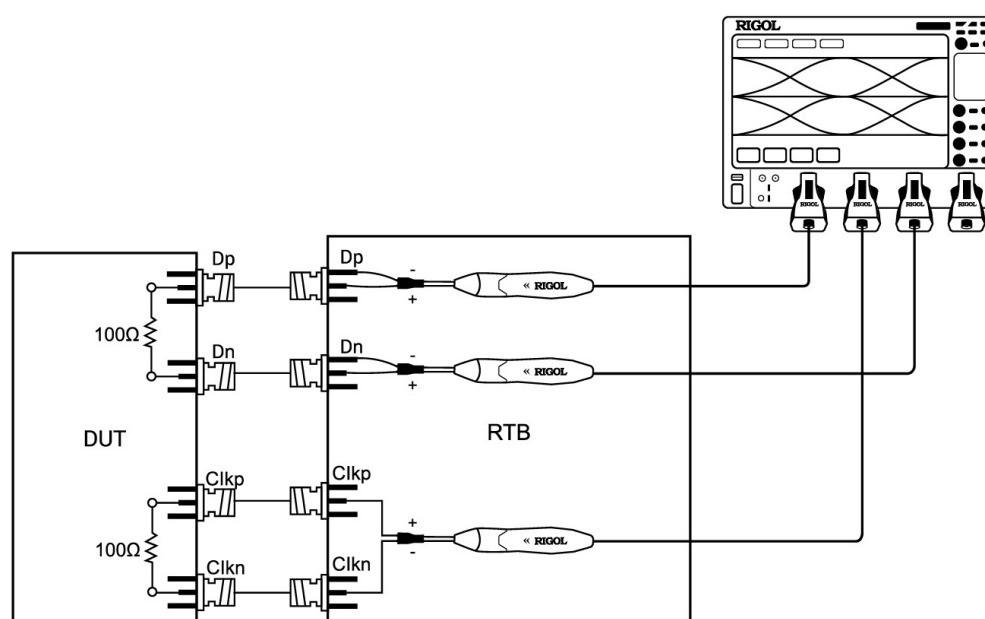


图 7.3 RTB 夹具差分连接时钟通道

适用的测试项目

在进行如下测试项目时，使用 RTB 夹具：

- Group3 数据通道(Data Lane)高速发送(HS-TX)信号测试
- Group4 时钟通道(Clock Lane)高速发送(HS-TX)信号测试
- Group5 时钟到数据通道(Clock-to-Data Lane)高速发送(HS-TX)信号的时序测试

其中如下测试项目只适用于时钟通道的单端连接方式：

测试项目	描述
Test 1.4.1	时钟通道 HS Entry: 低功耗发送至高速模式转换值
Test 1.4.2	时钟通道 HS Entry: 时钟高速模式准备时间值
Test 1.4.3	时钟通道 HS Entry: 时钟高速模式准备时间值与时钟高速零状态时间值之和
Test 1.4.13	时钟通道 HS Exit: 时钟高速模式退出时间值
Test 1.4.14	时钟通道 HS Exit: 结束后(EoT) 30% - 85%上升时间(T_{REOT})
Test 1.4.15	时钟通道 HS Exit: 退出结束时间值
Test 1.4.16	时钟通道 HS Exit: 高速退出时间值
Test 1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (U_{INST})
Test 1.4.18	时钟通道高速模式下时钟单位间隔偏差 (ΔUI)
Test 1.5.1	高速模式进入: $T_{CLK-PRE}$ 值
Test 1.5.2	高速模式退出: $T_{CLK-POST}$ 值

7.3 连接时钟和数据通道

通常在对真实的产品进行 MIPI D-PHY 一致性测试时，不需要测试夹具模拟接收端，可直接测试。

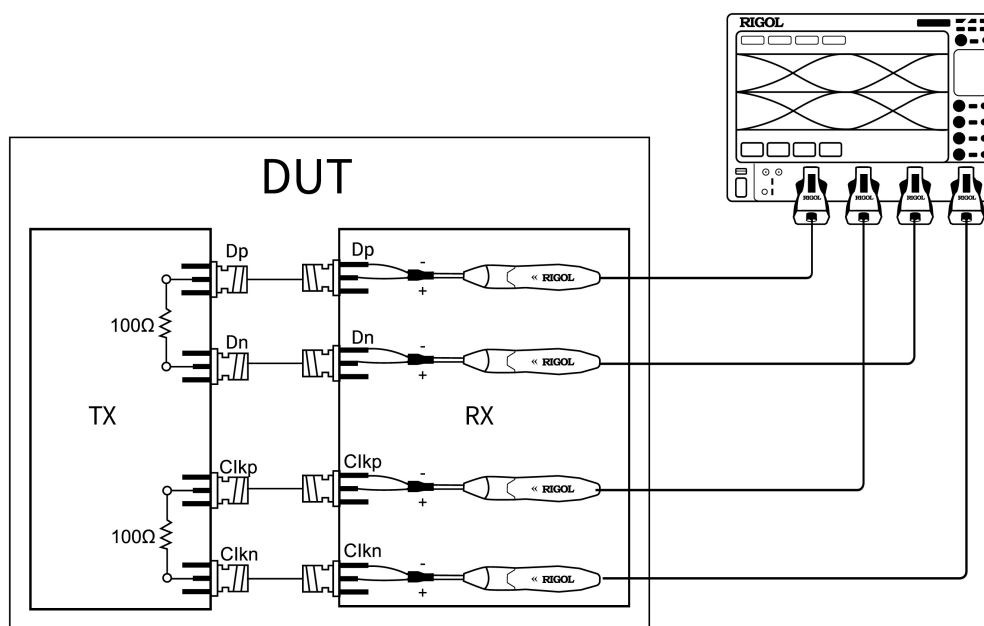


图 7.4 单端连接数据时钟通道

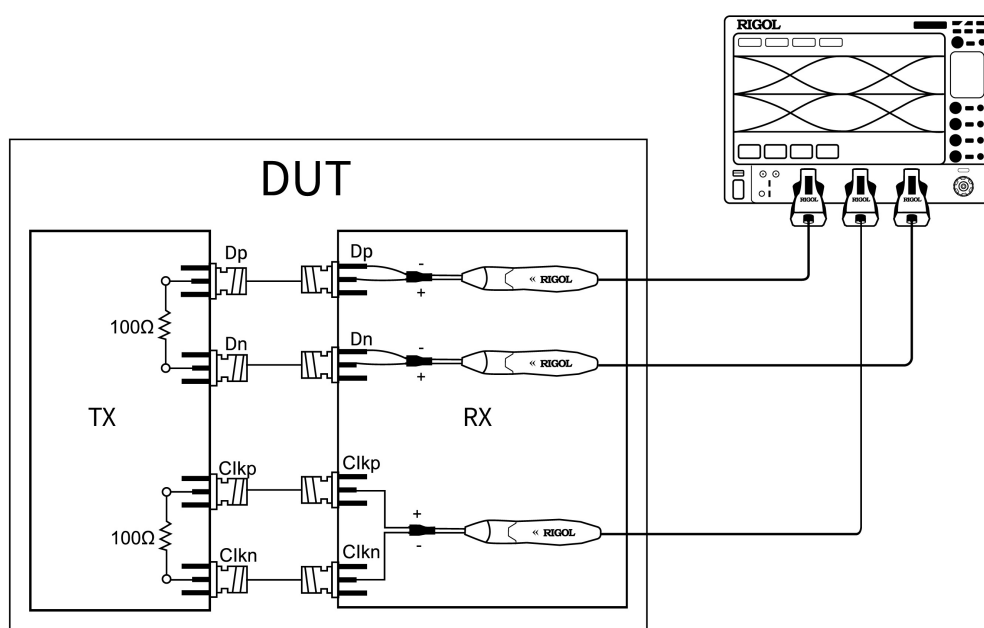


图 7.5 单端数据差分时钟

适用的测试项目

不需要测试夹具情况下 Group1 ~ Group5 都可采用本测试连接方式。

其中如下测试项目只适用于时钟通道的单端连接方式，不适用于差分连接方式：

Group	测试项目	描述
Group4	1.4.1	时钟通道 HS Entry: 低功耗发送至高速模式转换值

Group	测试项目	描述
	1.4.2	时钟通道 HS Entry: 时钟高速模式准备时间值
	1.4.3	时钟通道 HS Entry: 时钟高速模式准备时间值与时钟高速零状态时间值之和
	1.4.6	时钟通道 HS-TX 单端输出高电压($V_{OHHS(DP)}$)
	1.4.6	时钟通道 HS-TX 单端输出高电压($V_{OHHS(DN)}$)
	1.4.7	时钟通道 HS-TX 静态共模电压($V_{CMTX(1)}$ 、 $V_{CMTX(0)}$)
	1.4.8	时钟通道 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)
	1.4.9	时钟通道 HS-TX 在 50-450MHz 之间的动态共模电平变化 ($\Delta V_{CMTX(LF)}$)
	1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化($\Delta V_{CMTX(HF)}$)
	1.4.13	时钟通道 HS Exit: 时钟高速模式退出时间值
	1.4.14	时钟通道 HS Exit: 结束后(EoT) 30% - 85%上升时间(T_{REOT})
	1.4.15	时钟通道 HS Exit: 退出结束时间值
	1.4.16	时钟通道 HS Exit: 高速退出时间值
	1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (U_{INST})
	1.4.18	时钟通道高速模式下时钟单位间隔偏差 (ΔUI)
Group5	1.5.1	HS Entry: 时钟预充电时间值
	1.5.2	HS Exit: 时钟后充电时间值

7.4 只连接数据通道

通常在对真实的产品进行 MIPI D-PHY 一致性测试时, 不需要测试夹具模拟接收端, 可直接测试。

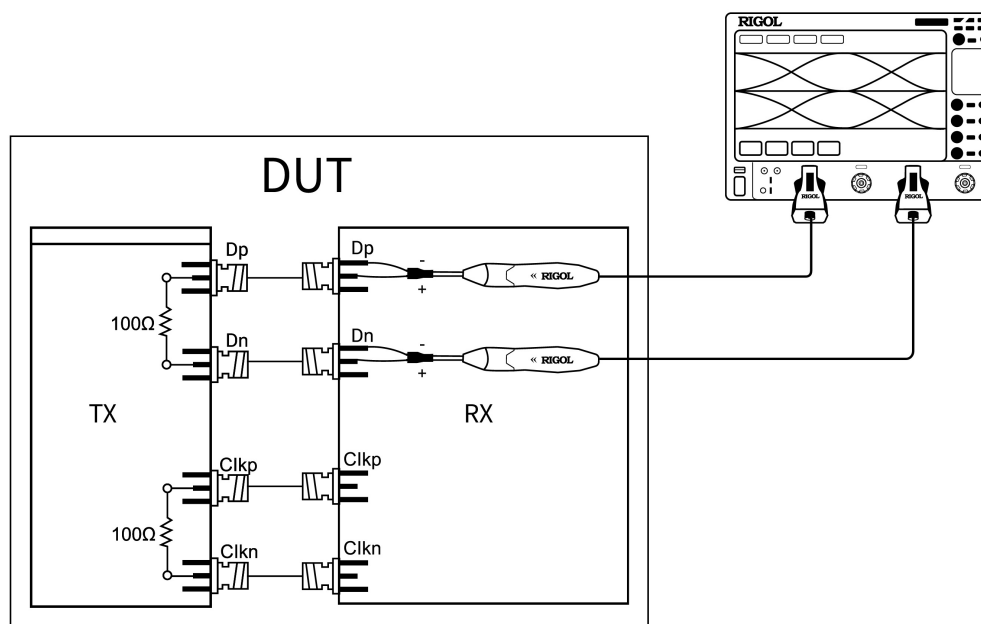


图 7.6 只连接数据通道

数据通道只支持单端连接方式。在进行如下测试项目时，可只连接数据通道：

- Group1 数据通道(Data Lane)低功耗发送(LP-TX)信号测试

7.5 只连接时钟通道

通常在对真实的产品进行 MIPI D-PHY 一致性测试时，不需要测试夹具模拟接收端，可直接测试。

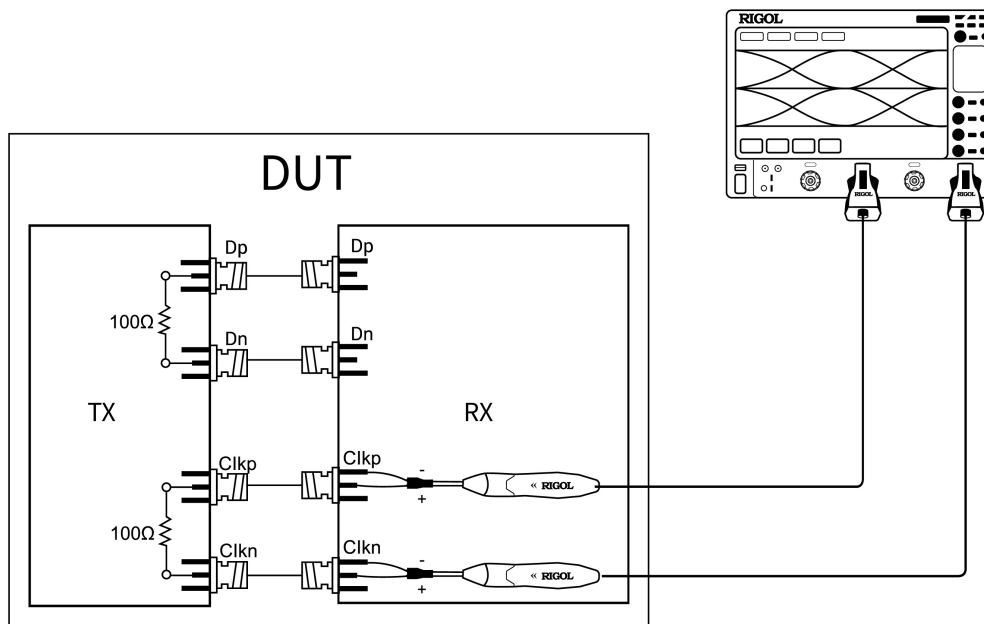


图 7.7 单端连接时钟通道

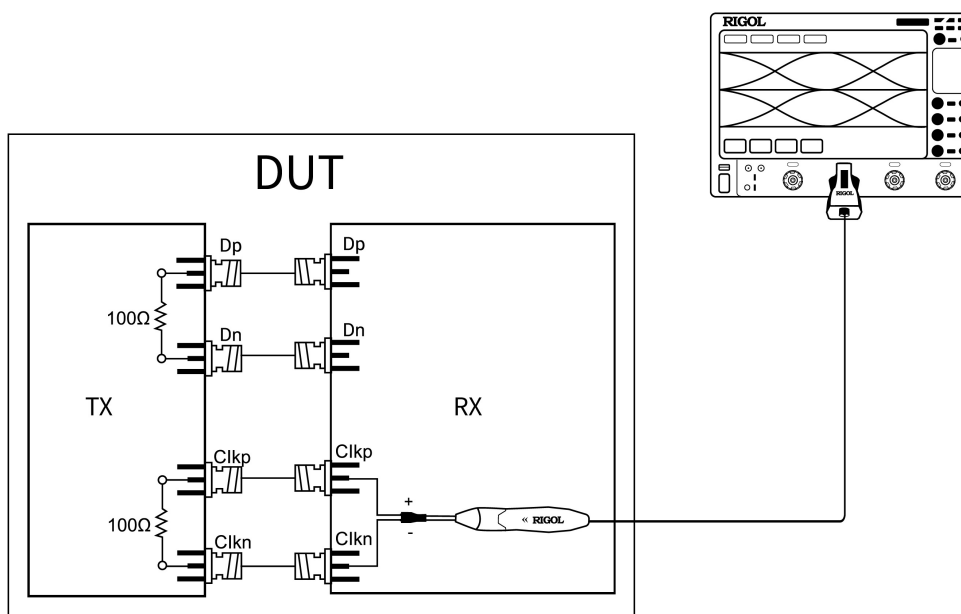


图 7.8 差分连接时钟通道

适用的测试项目

在进行如下测试项目时，只需要连接时钟通道：Group4 时钟通道(Clock Lane)低功耗发送(LP-TX)信号测试

其中如下测试项目只适用于时钟通道的单端连接方式，不适用差分连接方式：

Group	测试项目	描述
Group4	1.4.1	时钟通道 HS Entry: 低功耗发送至高速模式转换值
	1.4.2	时钟通道 HS Entry: 时钟高速模式准备时间值
	1.4.3	时钟通道 HS Entry: 时钟高速模式准备时间值与时钟高速零状态时间值之和
	1.4.6	时钟通道 HS-TX 单端输出高电压($V_{OHHS(DP)}$)
	1.4.6	时钟通道 HS-TX 单端输出高电压($V_{OHHS(DN)}$)
	1.4.7	时钟通道 HS-TX 静态共模电压($V_{CMTX(1)}$ 、 $V_{CMTX(0)}$)
	1.4.8	时钟通道 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)
	1.4.9	时钟通道 HS-TX 在 50-450MHz 之间的动态共模电平变化 ($\Delta V_{CMTX(LF)}$)
	1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化($\Delta V_{CMTX(HF)}$)
	1.4.13	时钟通道 HS Exit: 时钟高速模式退出时间值
	1.4.14	时钟通道 HS Exit: 结束后(EoT) 30% - 85%上升时间(T_{REOT})
	1.4.15	时钟通道 HS Exit: 退出结束时间值
	1.4.16	时钟通道 HS Exit: 高速退出时间值
	1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (U_{IINST})
1.4.18	时钟通道高速模式下时钟单位间隔偏差 (ΔUI)	

7.6 Continuous Data Test 连接

Continuous Data Test 连接仅适用于在[系统设置](#)菜单中测试模式为 Continuous Data 时进行的各项测试。在 Continuous Data 模式下, DUT 的时钟和数据通道发送连续的高速时钟和数据信号, “时钟模式” 只能选择连续时钟。

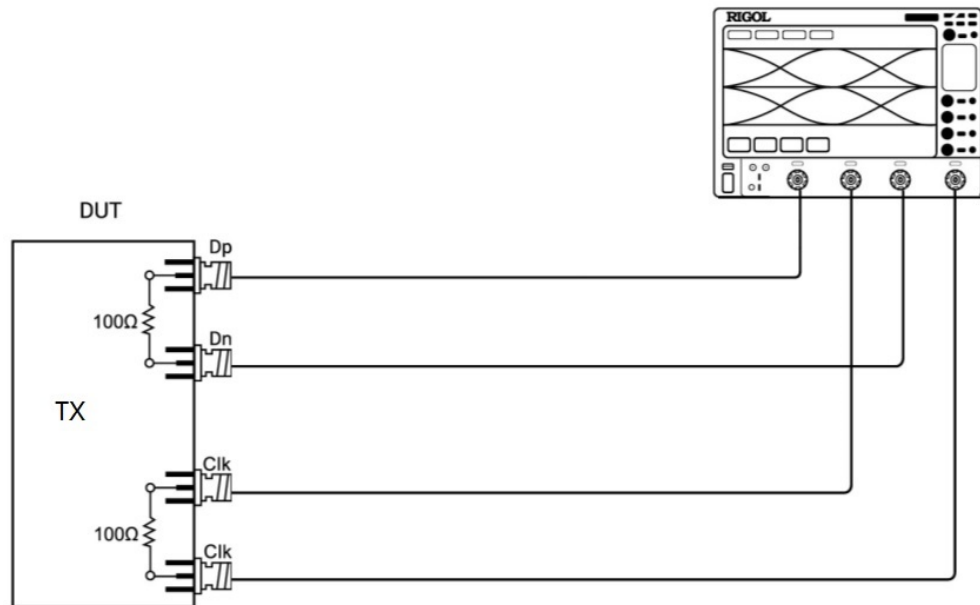


图 7.9 Continuous Data Test 连接

如上图所示，DUT 为发射端，接收端负载为示波器模拟通道输入阻抗 50Ω 。其中示波器 DS80000 的模拟通道侧为 SMA 接口，需根据 DUT 的实际接口类型选择合适的连接线缆。

Continuous Data 模式测试项目

在 Continuous Data 模式下可进行如下项目的测试：

Group	测试项目	描述
Group3	Test 1.3.4	数据通道 HS-TX 差分电压($V_{OD(0)}$, $V_{OD(1)}$)
	Test 1.3.5	数据通道 HS-TX 差分电压失配(ΔV_{OD})
	Test 1.3.6	数据通道 HS-TX 单端输出高电压($V_{OHHS(DP)}$)
	Test 1.3.6	数据通道 HS-TX 单端输出高电压($V_{OHHS(DN)}$)
	Test 1.3.7	数据通道 HS-TX 静态共模电压($V_{CMTX(1)}$, $V_{CMTX(0)}$)
	Test 1.3.8	数据通道 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)
	Test 1.3.9	数据通道 HS-TX 在 50-450MHz 之间的动态共模电平变化 ($\Delta V_{CMTX(LF)}$)
	Test 1.3.10	数据通道 HS-TX 在 450MHz 以上的动态共模电平变化($\Delta V_{CMTX(HF)}$)
	Test 1.3.11	数据通道 HS-TX 20%-80%上升时间(t_R)

Group	测试项目	描述
	Test 1.3.12	数据通道 HS-TX 80%-20%下降时间(t_F)
Group4	Test 1.4.4	时钟通道 HS-TX 差分电压($V_{OD(0)}$ 、 $V_{OD(1)}$)
	Test 1.4.5	时钟通道 HS-TX 差分电压失配(ΔV_{OD})
	1.4.6	时钟通道 HS-TX 单端输出高电压($V_{OHHS(DP)}$)
	1.4.6	时钟通道 HS-TX 单端输出高电压($V_{OHHS(DN)}$)
	1.4.7	时钟通道 HS-TX 静态共模电压($V_{CMTX(1)}$ 、 $V_{CMTX(0)}$)
	1.4.8	时钟通道 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)
	1.4.9	时钟通道 HS-TX 在 50-450MHz 之间的动态共模电平变化 ($\Delta V_{CMTX(LF)}$)
	1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化($\Delta V_{CMTX(HF)}$)
	Test 1.4.11	时钟通道 HS-TX 20%-80%上升时间(t_R)
	Test 1.4.12	时钟通道 HS-TX 80%-20%下降时间(t_F)
Group5	1.5.4	数据与时钟偏斜 lock Skew (TSKEW[TX])

8 Group1 Data Lane LP-TX 信号测试

本组测试项用于验证数据通道(Data Lane)在低功耗模式(Low-Power)发送信号的各种参数指标是否在一致性限制范围内。

本组测试需设置 DUT 发送进入超低功耗状态(ULPS Entry)波形序列或退出超逃逸状态(Escape Exit)波形序列，在指定波形上进行各项测试。

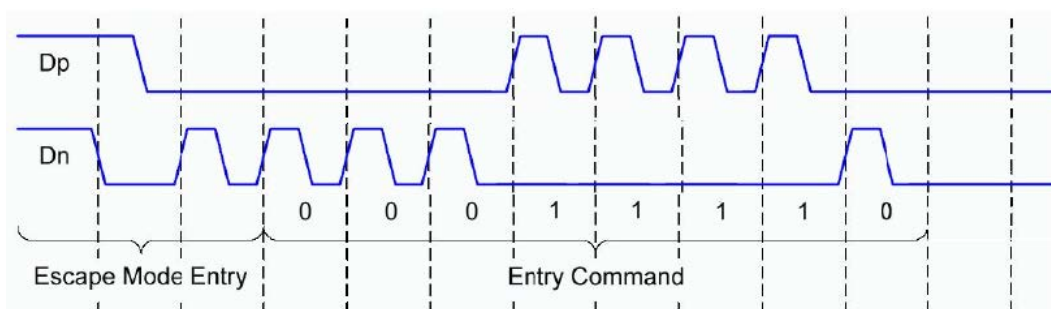


图 8.1 ULPS Entry 波形序列

- Escape Mode Entry: 发送 LP-11 -> 10 -> 00 -> 01 -> 00 序列，数据通道进入 Escape 模式。
- Entry Command: 数据通道进入 Escape 模式后，TX 端发送 Entry Command (00011110)，表示进入超低功耗状态(ULPS)。

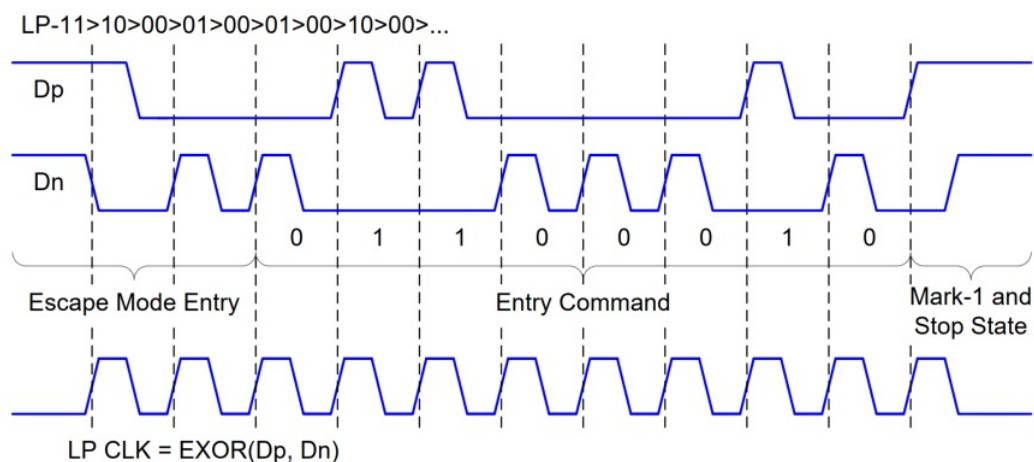


图 8.2 Escape Exit 波形序列

- Escape Mode Entry: 发送 LP-11 -> 10 -> 00 -> 01 -> 00 序列，数据通道进入 Escape 模式。

- Entry Command: 数据通道进入 Escape 模式后, TX 端发送 Entry Command (01100010), 表示发送复位触发请求。
- Mark-1 and Stop State: 数据通道从 LP-00 (桥接状态) 回到 LP-11 (停止状态), Escape 模式终止。



说明

本组测试通常仅在主设备 DUT 上执行, 从设备 DUT 不适用。

8.1 Group1 测试步骤

参考 [使用 50pF CLOAD 测试夹具连接](#) 或 [只连接数据通道](#) 章节, 完成示波器、探头, 50pF C_{LOAD} 测试夹具和 DUT 的连接。

在示波器上执行 MIPI 一致性分析功能, 进入 “MIPI 一致性分析” 功能菜单, 如 [图 6.1](#)。

1. 进入 “系统设置” 子菜单

- 根据 DUT 的实际情况选择 “D-PHY 版本” 和 “高速速率”。
- 选择 “测试模式” 为 Escape 或 Normal+Escape。
- 根据测试设备连接图, 选择 “Data Lane 信源” D+为 CH1, D-为 CH3。

2. 进入 “测试项目” 子菜单, 勾选 Group1 及其中的测试项。

3. 调整并观察示波器捕获到 DUT 数据通道发出的指定信号序列。

4. 在 “设置分析” 子菜单, 点击 **开始测试** 按钮, 按照弹出的窗口指导进行操作, 直到测试完成。

5. 在 “报告导出” 子菜单中配置并导出测试报告。

分析测试结果报告, 观察各测试项的测试通过结果和测量值。

6. 如果 DUT 有多个数据通道, 则重复前面的测试步骤, 完成所有数据通道测试。

8.2 Test 1.1.1 数据通道 LP-TX Thevenin 输出高电平电压 (V_{OH})

本测试用于验证 DUT 数据通道的 LP-TX 戴维南输出高电平电压(V_{OH})是否在一致性限制范围内。

V_{OH} 是 DUT 的数据通道在低功耗发射端(LP-TX)状态下, 数据通道的 Dp 和 Dn 引脚无外接负载时, 输出 V_{Dp} 和 V_{Dn} 信号处于高电平状态的戴维南输出电压。测量得到的 Dp 引脚电压 V_{Dp} 和 Dn 引脚电压 V_{Dn} 的高电平电压都应满足 V_{OH} 的要求。

测试步骤

设置 DUT 在数据通道上发出 ULPS Entry (超低压功耗模式进入) 波形序列, 如 [图 8.1](#) 所示。

参考 [Group1 测试步骤](#) 章节, 进行本项测试。

通过条件

测试结果应满足如下条件:

参数	DUT 速率	Min	Nom	Max
V_{OH}	$\leq 1.5\text{Gbps}$	1.1 V	1.2 V	1.3 V
	$> 1.5\text{Gbps}$	0.95 V		1.3 V

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 21。

8.3 Test 1.1.2 数据通道 LP-TX Thevenin 输出低电平电压 (V_{OL})

本测试用于验证 DUT 的数据通道 LP-TX 的戴维南输出低电平电压(V_{OL})是否在一致性限制范围内。

V_{OL} 是 DUT 的数据通道在低功耗发射端(LP-TX)状态下, 数据通道的 Dp 和 Dn 引脚无外接负载时, 输出 V_{Dp} 和 V_{Dn} 信号处于低电平状态的戴维南输出电压。测量得到的 Dp 引脚电压 V_{Dp} 和 Dn 引脚电压 V_{Dn} 的高电平电压都应满足 V_{OL} 的要求。

测试步骤

设置 DUT 在数据通道上发出 ULPS Entry (超低压功耗模式进入) 波形序列, 如 [图 8.1](#) 所示。

参考 [Group1 测试步骤](#) 章节, 进行本项测试。

通过条件

测试结果应满足如下条件:

参数	DUT 速率	Min	Nom	Max
V_{OL}	-	-50 mV		50 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 21。

8.4 Test 1.1.3 数据通道 LP-TX 15%~85%上升时间(T_{RLP})

本测试用于验证 DUT 数据通道在 LP-TX 状态下发送信号波形的 15% ~ 85%上升时间(T_{RLP}) 是否在一致性限制范围内。

本测试使用 [Test-1.1.1](#) 和 [Test 1.1.2](#) 章节测量得到的数据通道 LP-TX 戴维南输出电压 V_{OH} 和 V_{OL} 作为参考，计算上升沿的 15% ~ 85%上升时间 (T_{RLP})。

测试步骤

设置 DUT 在数据通道上发出 ULPS Entry (超低压功耗模式进入) 波形序列，如[图 8.1](#)所示。

参考 [Group1 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Nom	Max
T_{RLP}	$\leq 1.5\text{Gbps}$			25 ns

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 22。

8.5 Test 1.1.4 数据通道 LP-TX 15% ~ 85%v 时间(T_{FLP})

本测试用于验证 DUT 数据通道在 LP-TX 状态下发送信号波形的 15% ~ 85%下降时间(T_{FLP}) 是否在一致性限制范围内。

本测试使用 [Test-1.1.1](#) 和 [Test 1.1.2](#) 章节测量得到的数据通道 LP-TX 戴维南输出电压 V_{OH} 和 V_{OL} 作为参考，计算下降沿的 15% ~ 85%下降时间 (T_{FLP})。

测试步骤

设置 DUT 在数据通道上发出 ULPS Entry (超低压功耗模式进入) 波形序列，如[图 8.1](#)所示。

参考 [Group1 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Nom	Max
T_{FLP}	$\leq 1.5\text{Gbps}$			25 ns

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 22。

8.6 Test 1.1.5 数据通道 LP-TX 压摆率($\delta V/\delta t_{SR}$)

测试用于验证 DUT 数据通道在 LP-TX 状态下压摆率($\delta V/\delta t_{SR}$)在特定电容负载条件下的测量结果是否在一致性限制范围内。

- 压摆率 $\delta V/\delta t_{SR}$ 是 DUT 数据通道在 LP-TX 状态下输出信号的电压随时间的变化（电压变化量 ΔV /时间变化量 Δt ），用于衡量信号电压变化的快慢程度。
- 数据通道 LP-TX 的压摆率($\delta V/\delta t_{SR}$)与负载电容有关，本测试采用 50 pF 的负载电容 (50pF C_{LOAD})。

可参考 [Test 1.1.3](#) 和 [Test 1.1.4](#) 章节获取数据通道发送波形序列的上升沿和下降沿进行测量，计算得到压摆率。

测试步骤

设置 DUT 在数据通道上发出 ULPS Entry（超低压功耗模式进入）波形序列，如 [图 8.1](#) 所示。

参考 [Group1 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件:

	DUT 速率	边沿类型	幅度范围	Min	Max
$\delta V/\delta t_{SR}$	$\leq 1.5\text{Gbps}$	下降沿	整个边沿		150 mV/ns
			400 mV ~ 930 mV	30mV/ns	
		上升沿	整个边沿		
			400 mV ~ 700 mV	30 mV/ns	
	$> 1.5\text{Gbps}$	下降沿	700 mV ~ 930 mV	0 mV/ns	
			整个边沿		
			400 mV ~ 790 mV	25mV/ns	
		上升沿	整个边沿		
			400 mV ~ 550 mV	25mV/ns	
550 mV ~ 790 mV	0 mV/ns				

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 22.

8.7 Test 1.1.6 数据通道 LP-TX 异或时钟脉冲宽度($T_{LP-PULSE-TX}$)

本测试用于验证 DUT 的数据通道在 LP-TX 状态下的异或时钟的脉冲宽度($T_{LP-PULSE-TX}$) 是否在一致性限制范围内。

设置 DUT 数据通道发送图 8.2 所示的波形序列。图中最下方的波形序列为 V_{Dp} 和 V_{Dn} 信号进行异或操作($EXO(D_p, D_n)$)，生成的时钟脉冲序列(LP CLK)。 $T_{LP-PULSE-TX}$ 为该时钟信号的脉冲宽度。

可参考 Test 1.1.1 和 Test 1.1.2 章节对 V_{Dp} 和 V_{Dn} 信号进行测量。

测试步骤

设置 DUT 发送图 8.2，所示波形序列。参考 Group1 测试步骤 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Max
$T_{LP-PULSE-TX}$	≤ 1.5 Gbps	40 ns	

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 22。

8.8 Test 1.1.7 数据通道 LP-TX 异或时钟周期($T_{LP-PER-TX}$)

本测试用于验证 DUT 的数据通道在 LP-TX 状态下异或时钟的周期($T_{LP-PER-TX}$) 是否在一致性限制范围内。

设置 DUT 数据通道发送图 8.2 所示的波形序列。图中最下方的波形序列为 V_{Dp} 和 V_{Dn} 信号进行异或操作($EXO(D_p, D_n)$)，生成的时钟脉冲序列(LP CLK)。 $T_{LP-PER-TX}$ 是时钟脉冲序列(LP CLK)的周期。

可参考 Test 1.1.1 和 Test 1.1.2 章节对 V_{Dp} 和 V_{Dn} 信号进行测量。

测试步骤

设置 DUT 发送图 8.2，所示波形序列。参考 Group1 测试步骤 章节，进行本项测试。

通过条件

所有测量结果需同时满足如下条件：

参数	DUT 速率	边沿类型	Min	Max
$T_{LP-PER-TX}$	≤ 1.5 Gbps	上升沿	90 ns	

参数	DUT 速率	边沿类型	Min	Max
		下降沿	90 ns	

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 22 和 Table 25

9 Group2 Clock Lane LP-TX 信号测试

本组测试用于验证时钟通道(Clock Lane)在低功耗模式(Low-Power)下发送信号的各种参数指标是否在一致性限制范围内。

本组测试需要设置 DUT 的时钟通道发送：超低功耗状态进入 (ULPS Entry) 序列，和超低功耗状态退出 (ULPS Exit) 序列。

- ULPS Entry 序列：LP-11>10>00 组成
- ULPS Exit 序列：LP-00>10>11 组成，或 Mark-1/Stop



说明

本组测试通常仅在主设备 DUT 上执行，从设备 DUT 不适用。

9.1 Group2 测试步骤

参考 [使用 50pF CLOAD 测试夹具连接](#) 或 [只连接时钟通道](#) 章节，完成示波器、探头，50pF C_{LOAD} 测试夹具和 DUT 的连接。

在示波器上执行 MIPI 一致性分析功能，进入“MIPI 一致性分析”功能菜单，如 [图 6.1](#)。

1. 进入“系统设置”子菜单

- 根据 DUT 的实际情况选择“D-PHY 版本”和“高速速率”。
- 选择“测试模式”为 Escape 或 Normal+Escape。
- 选择“时钟模式”为“非连续时钟”。
- 选择“Clock Lane 探头”为“单端”。
- 根据测试设备连接图，选择“Clock Lane 信源” D+为 CH2，D-为 CH4。

2. 进入“测试项目”子菜单，勾选 Group2 及其中的测试项。

3. 调整并观察示波器捕获到 DUT 时钟通道发出的指定信号序列。

4. 在“设置分析”子菜单，点击 **开始测试** 按钮，按照弹出的窗口指导进行操作，直到测试完成。

5. 在“报告导出”子菜单中配置并导出测试报告。

分析测试结果报告，观察各测试项的测试通过结果和测量值。

9.2 Test 1.2.1 时钟通道 LP-TX Thevenin 输出高电平电压 (V_{OH})

本测试用于 DUT 的时钟通道的 LP-TX 状态下，戴维南输出高电平电压(V_{OH})是否在一致性限制范围内。

本测试与 [Test-1.1.1](#) 测试项的测量方法类似，只是对时钟通道的 Clkp 和 Clkn 引脚无外接负载时输出 V_{Dp} 和 V_{Dn} 信号处于高电平状态的戴维南输出电压(V_{OH})进行测试。

测试步骤

设置 DUT 在时钟通道发送典型的 ULPS Entry 波形序列，参考 [Group2 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Nom	Max
V_{OH}	$\leq 1.5\text{Gbps}$	1.1 V	1.2 V	1.3 V
	$> 1.5\text{Gbps}$	0.95 V		1.3 V

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 21。

9.3 Test 1.2.2 时钟通道 LP-TX Thevenin 输出低电平电压 (V_{OL})

本测试用于 DUT 的时钟通道的 LP-TX 状态下，戴维南输出低电平电压(V_{OL})是否在一致性限制范围内。

本测试与 [Test-1.1.2](#) 测试项的测量方法类似，只是对时钟通道的 Clkp 和 Clkn 引脚无外接负载时，输出 V_{Dp} 和 V_{Dn} 信号处于低电平状态的戴维南输出电压(V_{OL})进行测试。

测试步骤

设置 DUT 在时钟通道发送典型的 ULPS Entry 波形序列，参考 [Group2 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Nom	Max
V_{OL}		-50 mV		50 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 21。

9.4 Test 1.2.3 时钟通道 LP-TX 15% ~ 85%上升时间(T_{RLP})

本测试用于验证 DUTT 时钟通道在 LP-TX 状态下发送信号波形的 15% ~ 85%上升时间(T_{RLP}) 是否在一致性限制范围内。

由于时钟通道的超低压功耗模式进入 (ULPS Entry) 序列与数据通道不同, 不包含任何上升沿。所以在时钟通道的超低功耗模式退出(ULPS Exit)序列 (Mark-1/Stop, 或 LP-00>10>11) 中的波形上升沿进行本项测试。

参考 [Test 1.2.1](#) 和 [Test 1.2.2](#) 章节, 测量时钟通道 LP-TX 戴维南输出电压 V_{OH} 和 V_{OL} , 计算上升沿的 15% ~ 85%上升时间 (T_{RLP})。

测试步骤

设置 DUT 在时钟通道发送典型的 ULPS Exit 波形序列(Mark-1/Stop), 参考 [Group2 测试步骤](#) 章节, 进行本项测试。

通过条件

测试结果应满足如下条件:

参数	DUT 速率	Min	Nom	Max
T_{RLP}	$\leq 1.5\text{Gbps}$			25 ns

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 22。

9.5 Test 1.2.4 时钟通道 LP-TX 15% ~ 85%下降时间(T_{FLP})

本测试用于验证 DUTT 时钟通道在 LP-TX 状态下发送信号波形的 15% ~ 85%下降时间(T_{FLP}) 是否在一致性限制范围内。

本测试使用 [Test 1.2.1](#) 和 [Test 1.2.2](#) 章节测量得到的时钟通道 LP-TX 戴维南输出电压 V_{OH} 和 V_{OL} 作为参考, 计算下降沿的 15% ~ 85%下降时间 (T_{FLP})。

测试步骤

设置 DUT 在时钟通道发送典型的 ULPS Entry 波形序列, 参考 [Group2 测试步骤](#) 章节, 进行本项测试。

通过条件

测试结果应满足如下条件:

参数	DUT 速率	Min	Nom	Max
T_{FLP}	$\leq 1.5\text{Gbps}$			25 ns

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.2, Table 22。

9.6 Test 1.2.5 时钟通道 LP-TX 压摆率($\delta V/\delta t_{SR}$)

测试用于验证 DUT 时钟通道在 LP-TX 状态下压摆率($\delta V/\delta t_{SR}$)在特定电容负载条件下的测量结果是否在一致性限制范围内。

- 压摆率 $\delta V/\delta t_{SR}$ 是 DUT 时钟通道在 LP-TX 状态下输出信号的电压随时间的变化（电压变化量 ΔV /时间变化量 Δt ），用于衡量信号电压变化的快慢程度。
- 时钟通道 LP-TX 的压摆率($\delta V/\delta t_{SR}$)与负载电容有关，本测试采用 50 pF 的负载电容 (50pF C_{LOAD})。

可参考 [Test 1.2.3](#) 和 [Test 1.2.4](#) 章节获取时钟通道发送波形序列的上升沿和下降沿进行测量，计算得到压摆率。

测试步骤

设置 DUT 在时钟通道发送典型的 ULPS Entry 波形序列，参考 [Group2 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	边沿类型	幅度范围	Min	Max
$\delta V/\delta t_{SR}$	$\leq 1.5\text{Gbps}$	下降沿	整个边沿		150 mV/ns
			400 ~ 930mV	30mV/ns	
		上升沿	整个边沿		
			400 mV ~ 700 mV	30 mV/ns	
	$> 1.5\text{Gbps}$	下降沿	700 mV ~ 930mV	0 mV/ns	
			整个边沿		
		上升沿	400 mV ~ 790 mV	25mV/ns	
			整个边沿		
		400 mV ~ 550 mV	25mV/ns		

参数	DUT 速率	边沿类型	幅度范围	Min	Max
			550 mV ~ 790 mV	0 mV/ns	

参考协议

请参 D- PHY Specification, Section 9.1.2, Table 22。

10 Group3 Data Lane HS-TX 信号测试

本章节只介绍在 [系统设置](#) 菜单中测试模式为 Normal 或 Normal+Escape 时，Group3 测试的方法。如测试模式为 Continuous Data，则请参考 [Continuous Data 模式测试](#)。

本组测试用于验证数据通道(Data Lane)在高速突发数据传输(High-Speed Data Transmission in Bursts)模式下，各种参数指标是否在一致性限制范围内。

本组测试中配置示波器捕获 DUT 发送的高速突发波形，其中包括突发序列前后出现的低功耗(LP)退出/进入序列。该序列以 LP-11 状态开始并结束，如下图所示。

本组测试需设置 DUT 的数据通道进入高速突发数据传输状态，如下图所示。

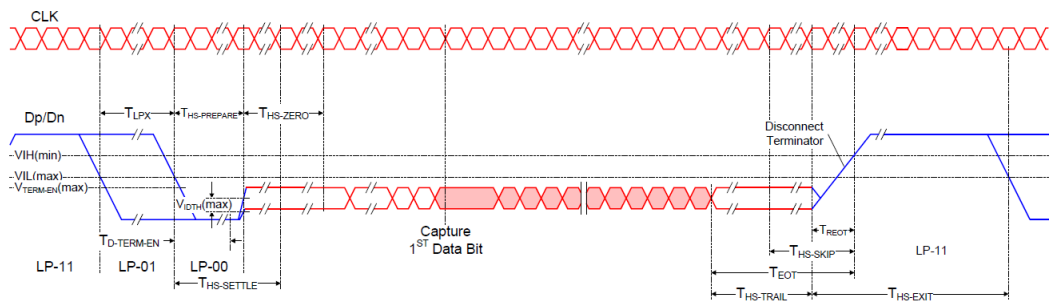


图 10.1 高速数据突发序列

该数据通道发送序列以 LP-11 状态开始，并以 LP-11 状态结束。其中包括突发序列前后出现的低功耗退出和进入序列。在发送端，发送序列 LP-11(Stop) -> LP-01(HS-Rqst) -> LP-00(Bridge) -> HS-0，之后发送 Sync 字段 (HS-00011101)。然后开始不断发送差分数据；直到数据发送完毕，退出 High-Speed 模式，再次进入 Stop State。

时钟通道上为连续时钟信号，在传输过程中时钟通道不会切换到 LP 状态，保持相同的时钟速率和摆幅。

说明

本组测试通常仅在主设备 DUT 上执行，从设备 DUT 不适用。

10.1 Group3 测试步骤

连接设备

参考 [使用 RTB 夹具连接](#) 或 [连接时钟和数据通道](#) 章节，完成示波器，有源探头，RTB 测试夹具和 DUT 的连接。

设置 DUT

设置 DUT 在数据通道上发送高速(High-Speed)模式突发信号，如 [图 10.1](#) 所示。

配置示波器进行 MIPI 一致性分析

在示波器上执行 MIPI 一致性分析功能，进入“MIPI 一致性分析”功能菜单，如图 6.1。

1. 进入“系统设置”子菜单

- 根据 DUT 的实际情况选择“D-PHY 版本”和“高速速率”。
- 选择“测试模式”为 Normal 或 Normal+Escape。
- 根据测试设备连接图，选择“Data Lane 信源” D+为 CH1, D-为 CH3; “Clock Lane 信源” D+为 CH2, D-为 CH4。

2. 进入“测试项目”子菜单，勾选 Group3 及其中的测试项。

3. 观察示波器捕获数据通道上的一个 HS 模式突发波形序列。

4. 在“设置分析”子菜单，点击 **开始测试** 按钮，按照弹出的窗口指导进行操作，直到测试完成。

5. 在“报告导出”子菜单中配置并导出测试报告。

分析测试结果报告，观察各测试项的测试通过结果和测量值。

6. 如果 DUT 有多个数据通道，则重复前面的测试步骤，完成所有数据通道测试。

10.2 Test 1.3.1 数据通道 HS Entry:模式转换时间值(T_{LPX})

本测试用于验证 DUT 数据通道在从 LP 模式转换到高速突发数据传输模式之前，最后一个 LP-01 状态的持续时间(T_{LPX})是否在一致性限制范围内。

如图 10.1 所示，在数据通道进入 HS 模式突发序列之前，进入一个 LP-01 状态并保持一段时间，这个 LP-01 状态的保持时间被定义为 T_{LPX} 。该状态将从 V_{Dp} 下降沿低于最大低电平 LP 阈值 $V_{IL(max)}$ (550 mV)时开始测量，并在 V_{Dn} 下降沿低于相同 $V_{IL(max)}$ 阈值时结束。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足条件： $T_{LPX} \geq 50$ ns

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.2, Table 14。

测试结果参考

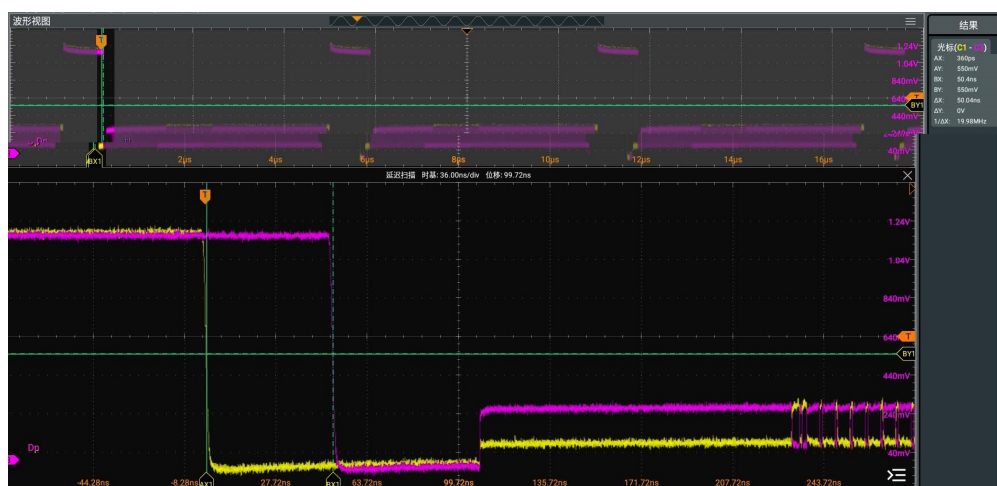


图 10.2 Test 1.3.1 测试波形与结果

10.3 Test 1.3.2 数据通道 HS Entry:准备时间值($T_{HS-PREPARE}$)

本测试用于验证 DUT 数据通道在从 LP 模式转换到高速突发数据传输模式之前，最后一个 LP-00 状态的持续时间($T_{HS-PREPARE}$)是否在一致性限制范围内。

如图 10.1 所示。

在数据通道进入 HS 模式突发序列(从 $T_{HS-ZERO}$ 区间开始)之前需进入 LP-00 状态，并保持一定时间，这个 LP-00 状态的保持时间被定义为 $T_{HS-PREPARE}$ 。 $T_{HS-PREPARE}$ 区间从数据通道的 V_{Dn} 信号下降穿过 $V_{IL(max)}$ (550 mV)的时刻开始测量，结束时刻为扩展的 HS 差分状态开始，即差分波形超过最小有效 HS-0 差分阈值电平(-70 mV)的时刻。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Max
$T_{HS-PREPARE}$		40 ns + 4*UI	85 ns + 6*UI

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值，请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.14.2, Table 14.

测试结果参考

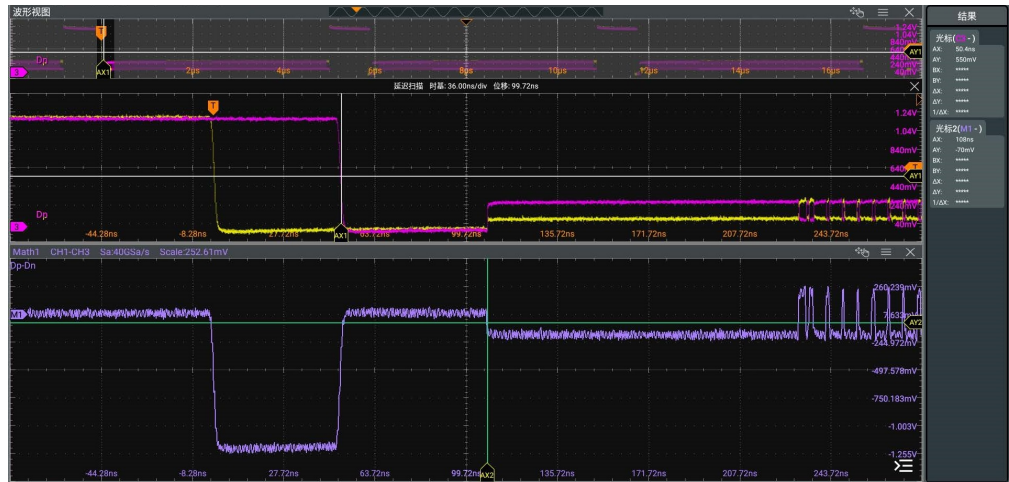


图 10.3 Test 1.3.2 测试波形

10.4 Test 1.3.3 数据通道 HS Entry:准备时间值与零状态时间值之和($T_{HS-PREPARE} + T_{HS-ZERO}$)

本测试用于验证 DUT 数据通道在从 LP 模式转换到高速突发数据传输模式过程中，准备时间值与零状态时间值之和($T_{HS-PREPARE} + T_{HS-ZERO}$)是否大于其所需的最小持续时间。

- 准备时间值($T_{HS-PREPARE}$)的定义请参考 [Test 1.3.2](#) 章节。
- 零状态时间($T_{HS-ZERO}$)为 DUT 在开始高速差分数据传输之前，保持 HS-0 差分信号状态为 Differential-0 ($V_{Dp} < V_{Dn}$)的最短时间。

如图 10.1 所示，($T_{HS-PREPARE} + T_{HS-ZERO}$) 间隔从数据通道的 V_{Dn} 信号下降到 $V_{IL(max)}$ (550mV) 以下的时刻开始，到 $T_{HS-ZERO}$ 的 HS-0 差分状态结束。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

通过条件

对于所有数据通道测试结果应满足如下条件：

参数	DUT 速率	Min	Max
$T_{HS-PREPARE} + T_{HS-ZERO}$		$145 \text{ ns} + 10 * UI$	

其中 UI 代表 DUT 的标称 HS 单位间隔，具体定义请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.14.2, Table 14.

测试结果参考

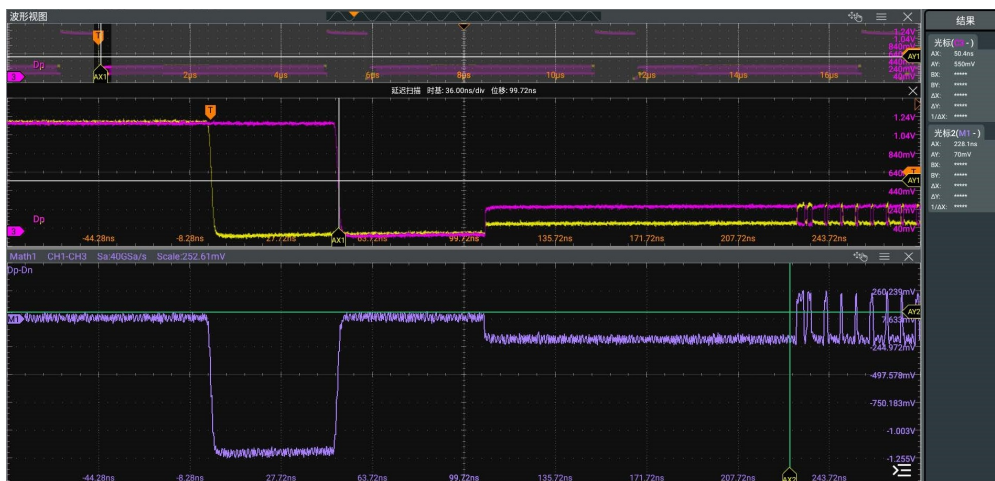


图 10.4

10.5 Test 1.3.4 数据通道 HS-TX 差分电压($V_{OD(0)}$, $V_{OD(1)}$)

本测试用于验证 DUT 数据通道 HS-TX 的差分电压($V_{OD(0)}$)和 $V_{OD(1)}$)是否在一致性限制范围内。

差分输出电压 V_{OD} 为在数据通道的 Dp 和 Dn 引脚处电压 V_{Dp} 和 V_{Dn} 的差值，如下图所示。

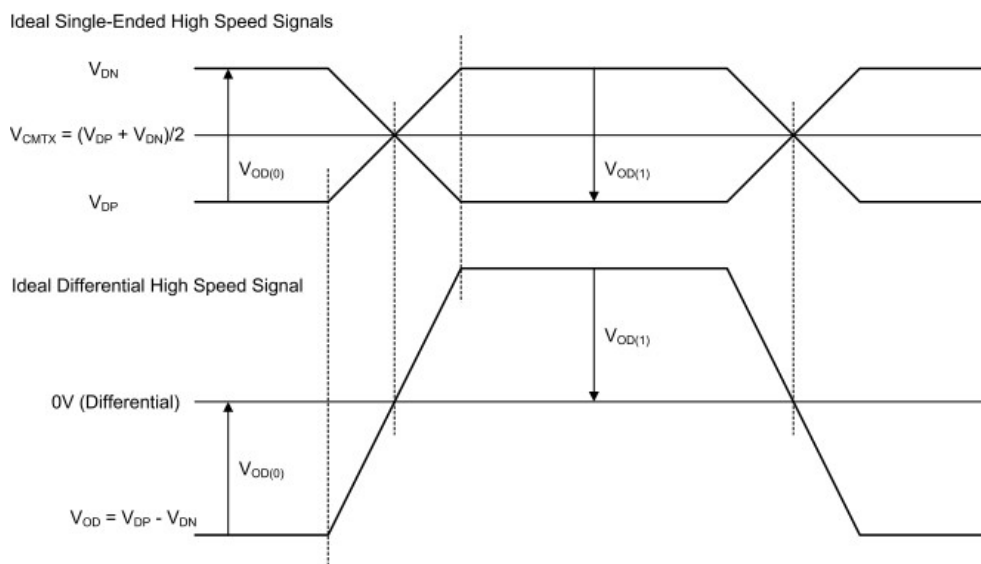


图 10.5 理想的单端和差分高速信号

$$V_{OD} = V_{Dp} - V_{Dn}$$

- $V_{OD(0)}$: 数据通道为 HS-0 即 Differential-0 ($V_{Dp} < V_{Dn}$)状态的测量值。
- $V_{OD(1)}$: 数据通道为 HS-1 即 Differential-1 ($V_{Dp} > V_{Dn}$)状态的测量值。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

如果 DUT 存在负载电阻的极端情况，可选择连接到 RTB 的差分输入阻抗为 $Z_{ID} = 125 \Omega$ 和 $Z_{ID} = 80 \Omega$ 的数据通道，重复进行以上测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Max
$V_{OD(1)}$		140 mV	270 mV
$V_{OD(0)}$		-270 mV	-140 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19.

测试结果参考

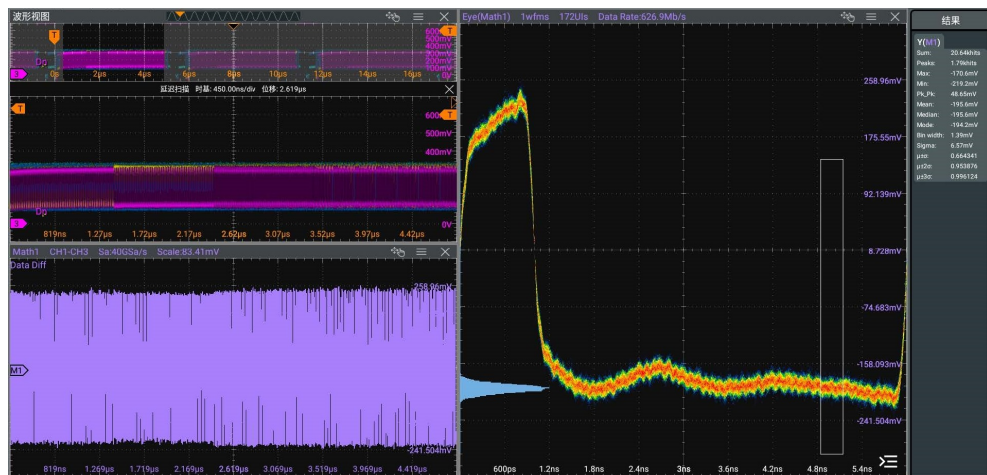


图 10.6 Test 1.3.4 测试波形与结果

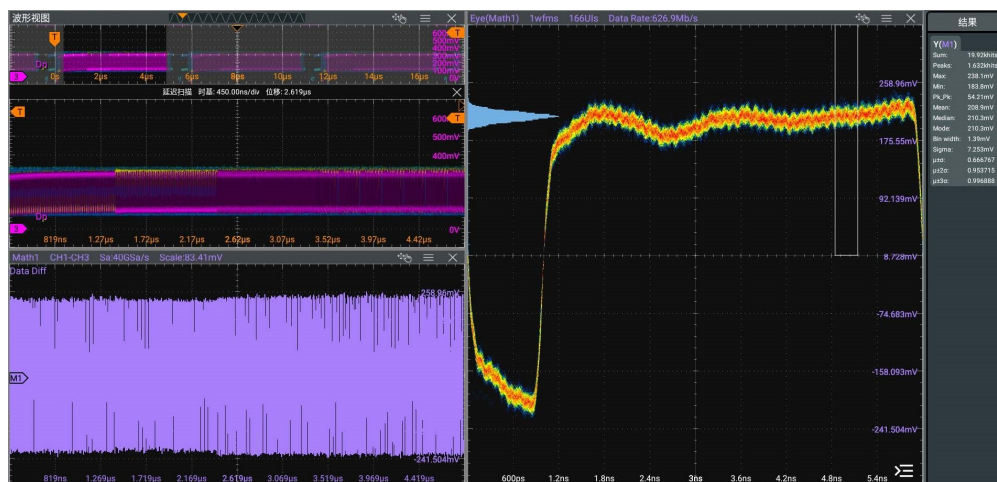


图 10.7 V_{OD}[1]测试结果

10.6 Test 1.3.5 数据通道 HS-TX 差分电压失配(ΔV_{OD})

本测试用于验证 DUT 数据通道的 HS-TX 的差分电压失配(ΔV_{OD}) 是否在一致性限制范围内。

$$\Delta V_{OD} = |V_{OD(1)}| - |V_{OD(0)}|$$

本测试项可使用 [Test 1.3.4](#) 测试项的测量结果进行计算得到。

测试步骤

设置 DUT 在数据通道上发出一组高速突发序列，如 [图 10.1](#) 所示。

参考 [Group3 测试步骤](#) 章节，进行本项测试。

如果 DUT 存在负载电阻的极端情况，可选择连接到 RTB 的差分输入阻抗为 Z_{ID} = 125 Ω 和 Z_{ID} = 80 Ω 的数据通道，重复进行以上测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Max
ΔV _{OD}			14 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19。

10.7 Test 1.3.6 数据通道 HS-TX 单端输出高电压($V_{OHHS(DP)}$, $V_{OHHS(DN)}$)

本测试用于验证 DUT 数据通道的 HS-TX 单端输出高电压 $V_{OHHS(DP)}$ 和 $V_{OHHS(DN)}$ 是否在一致性限制范围内。

在本测试中 $V_{OHHS(DP)}$ 为数据通道的 Dp 引脚处电压 V_{Dp} 的最高电平, $V_{OHHS(DN)}$ 为 Dn 引脚处电压 V_{Dn} 的最高电平为 $V_{OHHS(DN)}$ 。参考 [Test 1.3.4](#) 测试项, 测量单端信号的电平 V_{Dp} 和 V_{Dn} 。

测试步骤

参考 [Group3 测试步骤](#) 章节, 进行本项测试。

如果 DUT 存在负载电阻的极端情况, 可选择连接到 RTB 的差分输入阻抗为 $Z_{ID} = 125 \Omega$ 和 $Z_{ID} = 80 \Omega$ 的数据通道, 重复进行以上测试。

通过条件

测试结果应满足如下条件:

参数	DUT 速率	Min	Max
$V_{OHHS(Dp)}$			360 mV
$V_{OHHS(Dn)}$			360 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19.

测试结果参考

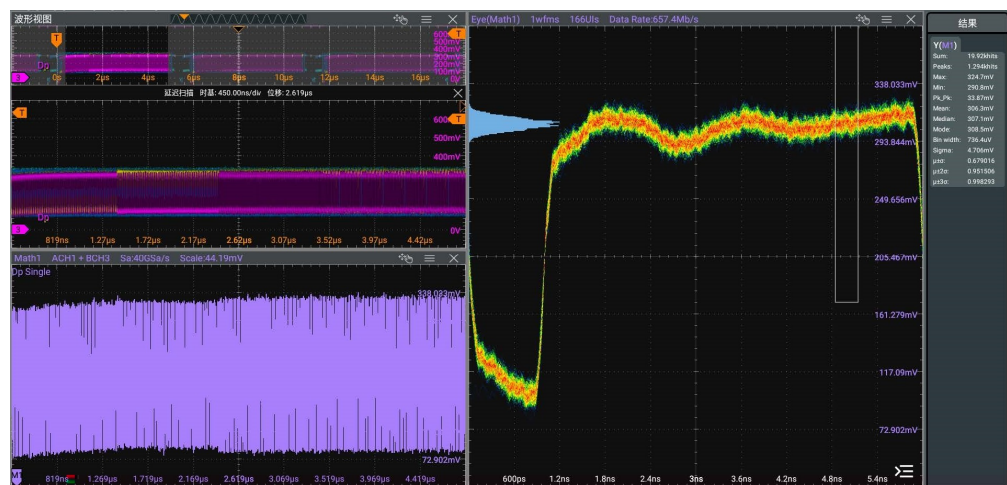
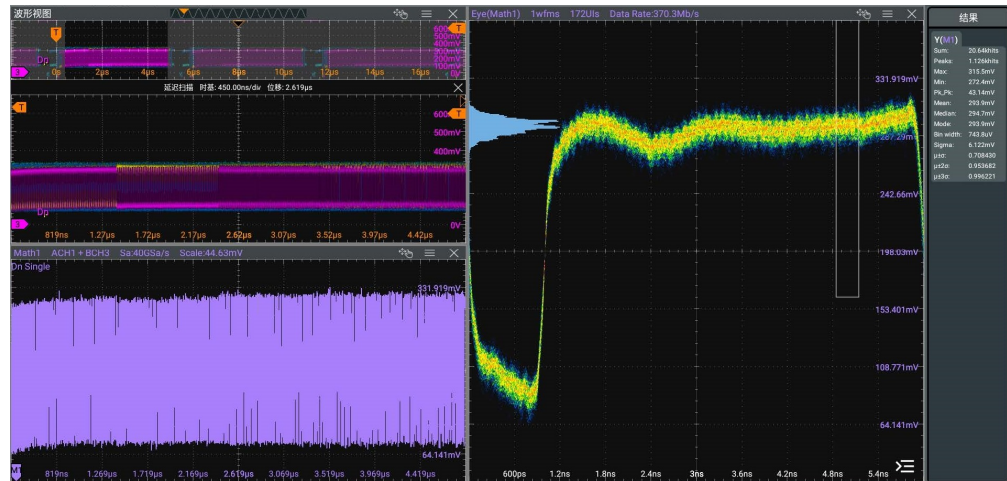


图 10.8 $V_{OHHS(Dp)}$ 测试结果

图 10.9 $V_{OHHS(Dn)}$ 测试结果

10.8 Test 1.3.7 数据通道 HS-TX 静态共模电压($V_{CMTX(1)}$, $V_{CMTX(0)}$)

本测试用于验证 DUT 数据通道的 HS-TX 静态共模电压($V_{CMTX(1)}$)和 $V_{CMTX(0)}$ 是否在一致性限制范围内。

共模电压 V_{CMTX} 定义为：数据通道的 Dp 和 Dn 引脚电压的算术平均值，如下图所示。

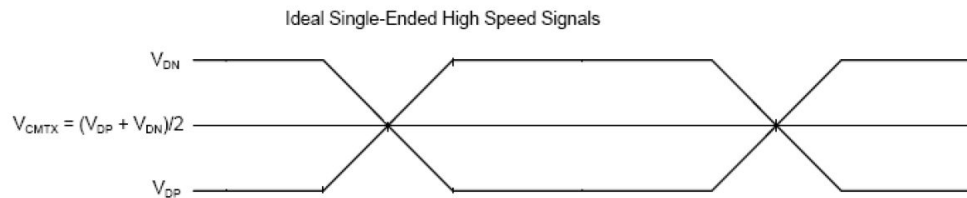


图 10.10 理想的单端高速信号

$$V_{CMTX} = (V_{DP} + V_{DN}) / 2$$

- $V_{CMTX(0)}$: 数据通道为 HS-0 即 Differential-0 ($V_{DP} < V_{DN}$)状态的测量值。
- $V_{CMTX(1)}$: 数据通道为 HS-1 即 Differential-1 ($V_{DP} > V_{DN}$)状态的测量值。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

如果 DUT 存在负载电阻的极端情况，可选择连接到 RTB 的差分输入阻抗为 $Z_{ID} = 125 \Omega$ 和 $Z_{ID} = 80 \Omega$ 的数据通道，重复进行以上测试。

通过条件

测量结果应满足：

参数	DUT 速率	Min	Max
$V_{CMTX(1)}$		150 mV	250 mV
$V_{CMTX(0)}$		150 mV	250 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19.

测试结果参考

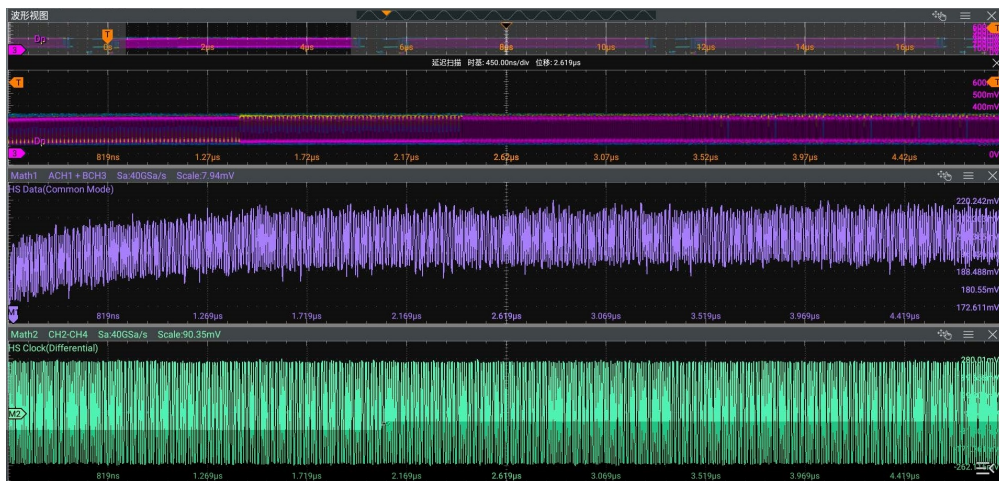


图 10.11 ($V_{CMTX(1)}$, $V_{CMTX(0)}$)测试结果

10.9 Test 1.3.8 数据通道 HS-TX 静态共模电压失配 ($\Delta V_{CMTX(1,0)}$)

本测试用于验证 DUT 数据通道的 HS-TX 静态共模电压失配($\Delta V_{CMTX(1,0)}$)是否在一致性限制范围内。

使用 [Test 1.3.7](#) 测试项的数据通道静态共模电压 $V_{CMTX(1)}$ 和 $V_{CMTX(0)}$ ，计算它们的差值的一半，得到 $\Delta V_{CMTX(1,0)}$ 。

$$\Delta V_{CMTX(1,0)} = (V_{CMTX(1)} - V_{CMTX(0)}) / 2$$

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

如果 DUT 存在负载电阻的极端情况，可选择连接到 RTB 的差分输入阻抗为 $Z_{ID} = 125 \Omega$ 和 $Z_{ID} = 80 \Omega$ 的数据通道，重复进行以上测试。

通过条件

测试结果都应满足：

参数	DUT 速率	Min	Max
$ \Delta V_{\text{CMTX}(1,0)} $			5 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19。

10.10 Test 1.3.9 数据通道 HS-TX 动态共模电平变化 ($\Delta V_{\text{CMTX}(\text{LF})}$)

本测试用于验证 DUT 数据通道 HS-TX 在 50 MHz ~ 450 MHz 范围内的 AC 共模信号电平变化 ($V_{\text{CMTX}(\text{LF})}$) 低于最大允许限制。

由于信号失真, 存在数据通道 HS-TX 单端高速信号的上升/下降时间不对称的情况, 交流共模信号电平会发生变化, 其中低频共模电压变化表示为 $\Delta V_{\text{CMTX}(\text{LF})}$ 。参考 [Test 1.3.7](#) 测试项的测量方法, 对 50MHz ~ 450MHz 频率范围内的交流电压进行测量, 计算得到 $V_{\text{CMTX}(\text{LF})}$ 。

测试步骤

参考 [Group3 测试步骤](#) 章节, 进行本项测试。

通过条件

测试结果都应满足:

参数	DUT 速率	Min	Max
$\Delta V_{\text{CMTX}(\text{LF})}$			25 mV _{PEAK}

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 20 和 Figure 43。

测试参考结果

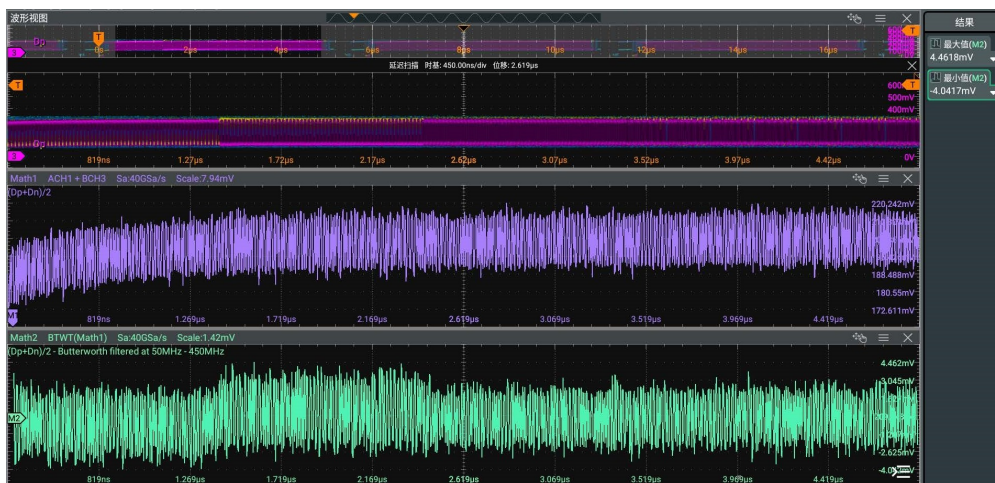


图 10.12 Test 1.3.9 测试波形和结果

10.11 Test 1.3.10 数据通道 HS-TX 动态共模电平变化 ($\Delta V_{\text{CMTX(HF)}}$)

本测试用于验证 DUT 数据通道 HS-TX 在 450MHz 以上的 AC 共模信号电平变化($V_{\text{CMTX(HF)}}$) 低于最大允许限制。

由于信号失真，存在数据通道 HS-TX 单端高速信号的上升/下降时间不对称的情况，交流共模信号电平会发生变化，其中高频共模电压变化表示为 $\Delta V_{\text{CMTX(HF)}}$ 。参考 [Test 1.3.7](#) 测试项的测量方法，对 450MHz 以上频率范围内的交流电压进行测量，计算得到 $V_{\text{CMTX(HF)}}$ 。

测试步骤

设置 DUT 在数据通道上发出一组高速突发序列，如 [图 10.1](#) 所示。参考 [Group3 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足：

参数	DUT 速率	Min	Max
$\Delta V_{\text{CMTX(HF)}}$			15 mV _{RMS}

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 20。

测试结果参考

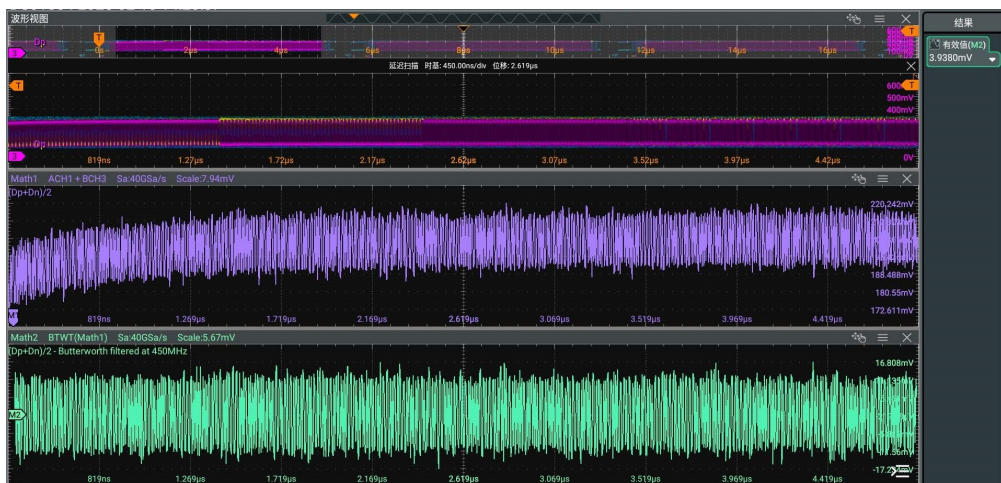


图 10.13 Test 1.3.10 测量波形与结果

10.12 Test 1.3.11 数据通道 HS-TX 20% ~ 80%上升时间(t_R)

本测试用于验证 DUT 数据通道 HS-TX 的 20% ~ 80%上升时间(t_R) 是否在一致性限制内。

参考 [Test 1.3.4](#) 测试项的测量方法来确定 $V_{OD(0)}$ 和 $V_{OD(1)}$ 的电压电平。测量此参考电平 20% ~ 80%范围的上升时间(t_R)。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

如果 DUT 存在负载电阻的极端情况，可选择连接到 RTB 的差分输入阻抗为 $Z_{ID} = 125 \Omega$ 和 $Z_{ID} = 80 \Omega$ 的数据通道，重复进行以上测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Max
t_R	≤ 1 Gbps		$0.30 * UI$
	> 1 Gbps 且 ≤ 1.5 Gbps		$0.35 * UI$
	> 1.5 Gbps		$0.4 * UI$

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值，请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 20。

测试结果参考



图 10.14 Test 1.3.11 测试波形与结果

10.13 Test 1.3.12 数据通道 HS-TX80% ~ 20%下降时间(t_F)

本测试用于验证 DUT 数据通道 HS 发送器的 80% ~ 20%下降时间(t_F)是否在一致性限制内。

参考 [Test 1.3.4](#) 测试项的测量方法来确定 $V_{OD(0)}$ 和 $V_{OD(1)}$ 的电压电平。测量此参考电平 80% ~ 20%范围的下降时间(t_F)。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

如果 DUT 存在负载电阻的极端情况，可选择连接到 RTB 的差分输入阻抗为 $Z_{ID} = 125 \Omega$ 和 $Z_{ID} = 80 \Omega$ 的数据通道，重复进行以上测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Max
t_F	$\leq 1 \text{ Gbps}$		$0.30 \cdot UI$
	$> 1 \text{ Gbps}$ 且 $\leq 1.5 \text{ Gbps}$		$0.35 \cdot UI$
	$> 1.5 \text{ Gbps}$		$0.4 \cdot UI$

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值，请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 20。

测试结果参考

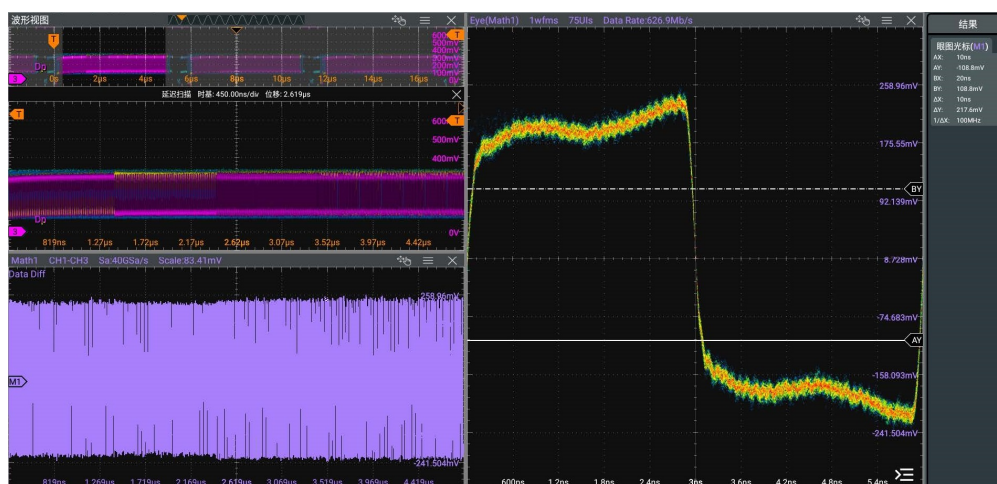


图 10.15 Test 1.3.12 测试波形与结果

10.14 Test 1.3.13 数据通道 HS Exit: 高速模式退出值($T_{HS-TRAIL}$)

本测试用于验证 DUT 数据通道 TX 在高速突发序列最后一个有效载荷数据位之后，驱动最终差分状态的时间值($T_{HS-TRAIL}$)是否大于所需的最小值。

参考 [Test 1.3.4](#) 测试项得到差分电压 V_{OD} ， $V_{OD(1)}$ 和 $V_{OD(0)}$ 分别进入并处于最小高速接收差分电压范围 (+70mV 或 -70 mV) 内，测量得到 $T_{HS-TRAIL}$ 时间间隔，如 [图 10.1](#) 所示。 $T_{HS-TRAIL}$ 用于让接收端确定 HS 传输的结束点，以确保正确地检测 HS 传输的结束。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Max
$T_{HS-TRAIL}$		(60 ns + 4 * UI)	

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值，请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.14.2, Table 14

测试结果参考



图 10.16 Test 1.3.13 测试波形与结果

10.15 Test 1.3.14 数据通道 HS Exit: 30% ~ 85%信号传输后上升时间(T_{REOT})

本测试用于验证 DUT 的 LP 数据通道发射器在传输结束 (EoT) 后, 其 30% ~ 85% 的上升时间(T_{REOT}) 是否在一致性限制范围内。

如图 10.1 所示, 数据通道退出高速突发状态, 需发送传输结束(EoT, End-of-Transmission) 序列, 然后数据通道回到 Stop 状态(LP-11)。参考 Test 1.3.4 测试项得到差分电压 V_{OD} , 测量 V_{OD} 在此阶段信号 30% ~ 85% 的上升时间得到 T_{REOT} 。

测试步骤

参考 [Group3 测试步骤](#) 章节, 进行本项测试。

通过条件

测试结果应满足如下条件:

参数	DUT 速率	Min	Max
T_{REOT}			35 ns

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.12, Table 22。

测试结果参考



图 10.17 Test 1.3.14 测试波形与结果

10.16 Test 1.3.15 数据通道 HS Exit: 退出结束时间值(T_{EOT})

本测试用于验证 DUT 数据通道 HS-TX 的退出结束时间值 T_{REOT} 是否小于最大允许值。

如图 10.1 所示, $T_{EOT} = T_{HS-TRAIL} + T_{REOT}$ 。可使用 [Test 1.3.13](#) 和 [Test 1.3.14](#) 测量得到的 $T_{HS-TRAIL}$ 和 T_{REOT} 值。

测试步骤

参考 [Group3 测试步骤](#) 章节, 进行本项测试。

通过条件

测试结果应满足如下条件:

参数	DUT 速率	Min	Max
T_{EOT}			105 ns + 12*UI

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值, 请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.7, Table 14

测试结果参考



图 10.18 Test 1.3.15 测试波形

10.17 Test 1.3.16 数据通道 HS Exit: 高速退出时间值($T_{HS-EXIT}$)

本测试用于验证数据通道发送器在退出 HS 模式后，保持停止状态(LP-11)的持续时间是否大于所需的最小值。

数据通道退出高速突发状态，需发送传输结束(EoT, End-of-Transmission)序列，然后数据通道回到 Stop 状态(LP-11)，必须保持处于 LP-11 停止状态的一段时间之后，才能启动数据通道进行其他操作。该时间间隔定义为 $T_{HS-EXIT}$ ，如图 10.1 所示。

测试步骤

参考 [Group3 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件： $T_{HS-EXIT} \geq 100\text{ns}$ 。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.7, Table 14

11 Group4 Clock Lane HS-TX 信号测试

本章节只介绍在 [系统设置](#) 菜单中测试模式为 Normal 或 Normal+Escape 时，Group4 测试的方法。如测试模式为 Continuous Data，则请参考 [Continuous Data 模式测试](#)。

本组测试用于验证 DUT 时钟通道(Clock Lane)在高速(High-Speed)模式发送时钟信号的各种参数指标是否在一致性限制范围内。

本组测试需设置 DUT 的数据通道进入高速突发数据传输状态，如下图所示。

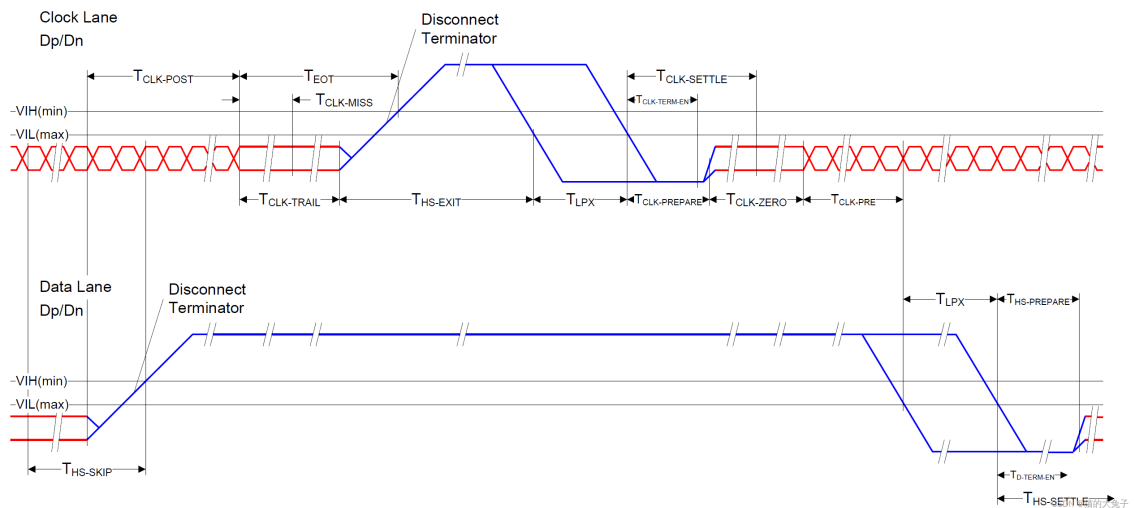


图 11.1 时钟通道在时钟传输和低功耗模式之间切换

- 时钟通道进入高速模式(HS Entry)发送序列: LP11->LP10(T_{LPX})->LP00($T_{CLK-PREPARE}$)->HS0($T_{CLK-ZERO}$)-> $T_{CLK-PRE}$
- 时钟通道退出高速模式(HS Exit)发送序列: HS0/HS1-> $T_{CLK-POST}$ end with HS0-> $T_{CLK-TRAIL}$ ->LP-11($T_{HS-EXIT}$)

说明

本组测试通常仅在主设备 DUT 上执行，从设备 DUT 不适用。

11.1 Group4 测试步骤

配置示波器进行 MIPI 一致性分析

在示波器上执行 MIPI 一致性分析功能，进入“MIPI 一致性分析”功能菜单，如 [图 6.1](#)。

1. 进入“系统设置”子菜单

- 根据 DUT 的实际情况选择“D-PHY 版本”和“高速速率”。
- 选择“测试模式”为 Normal 或 Normal+Escape。

- 选择“时钟模式”为“非连续时钟”。
- 根据测试设备连接图，选择“Data Lane 信源” D+为 CH1, D-为 CH3; “Clock Lane 信源” D+为 CH2, D-为 CH4。

Group 4 中各测试项的“系统设置”配置选项有不同的配置约束，请参考表 6.5: Group4 各测试项适用的不同场景。

2. 进入“测试项目”子菜单，勾选 Group4 及其中的测试项。
3. 观察示波器捕获时钟通道上的指定波形序列。
4. 在“设置分析”子菜单，点击 **开始测试** 按钮，按照弹出的窗口指导进行操作，直到测试完成。
5. 在“报告导出”子菜单中配置并导出测试报告。

分析测试结果报告，观察各测试项的测试通过结果和测量值。

11.2 Test 1.4.1 时钟通道 HS Entry:低功耗发送至高速模式转换值(T_{LPX})

本测试用于验证 DUT 的时钟通道在进入 HS 状态之前，时钟通道最后一个 LP-01 状态的持续时间(T_{LPX}) 是否大于最小符合一致性要求。

本测试与测试 [Test 1.3.1](#) 章节的数据通道 T_{LPX} 的测试方法类似，只是对时钟通道发送的波形序列进行测量，得到 T_{LPX} 间隔时间，如图 [图 11.1](#) 所示。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件： $T_{LPX} \geq 50\text{ns}$ 。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.2, Table 14.

测试结果参考

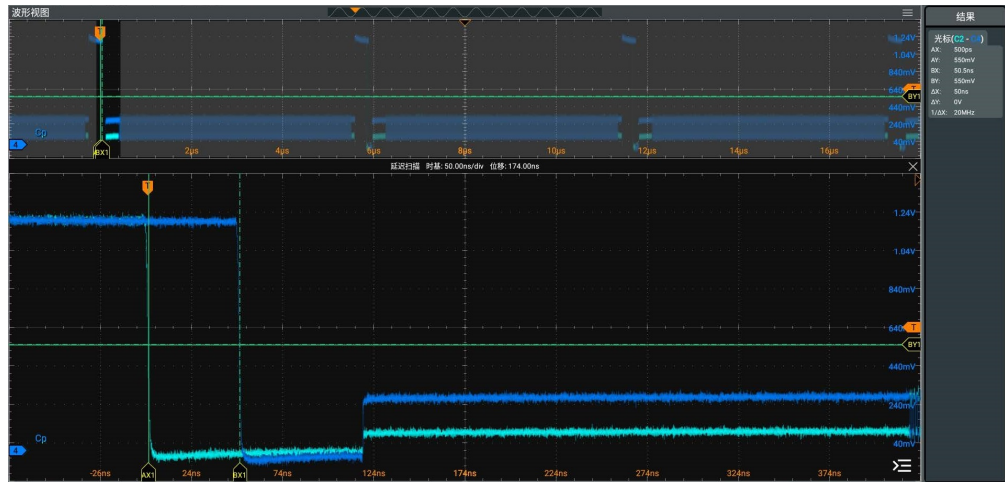


图 11.2 Test 1.4.1 测试波形与结果

11.3 Test 1.4.2 时钟通道 HS Entry:时钟高速模式准备时间值 ($T_{\text{CLK-PREPARE}}$)

本测试用于验证 DUT 的时钟通道在进入 HS 模式过程中，在驱动 $T_{\text{CLK-ZERO}}$ 之前，处于 LP-00 状态的时间间隔 $T_{\text{CLK-PREPARE}}$ ，是否在一致性限制之内。

本测试与测试 [Test 1.3.2](#) 章节的数据通道 $T_{\text{HS-PREPARE}}$ 的测试方法类似，只是对时钟通道发送的波形序列进行测量，得到 $T_{\text{HS-PREPARE}}$ 间隔时间，如图 [图 11.1](#) 所示。

测试步骤

设置 DUT 在发送一组高速(High-Speed)模式突发信号，如图 [图 11.1](#) 所示。

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足如下条件：

参数	DUT 速率	Min	Max
$T_{\text{HS-PREPARE}}$		38 ns	95 ns

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.9, Table 14.

测试结果参考



图 11.3 Test 1.4.2 测试波形与结果

11.4 Test 1.4.3 时钟通道 HS Entry:时钟高速模式准备时间值与时钟高速零状态时间值之和($T_{\text{CLK-PREPARE}} + T_{\text{CLK-ZERO}}$)

本测试用于验证 DUT 时钟通道在 HS Entry 过程中时钟高速模式准备时间值与时钟高速零状态时间值之和($T_{\text{CLK-PREPARE}} + T_{\text{CLK-ZERO}}$)的持续时间, 是否符合一致性标准。

- $T_{\text{CLK-PREPARE}}$ 的定义和测量方法请参考 [Test 1.4.2](#) 章节。
- $T_{\text{CLK-ZERO}}$ 为 DUT 时钟通道 TX 端在开始高速传输时钟信号之前, 保持在 HS-0 差分状态的时间。

本测试与 [Test 1.3.3](#) 章节的数据通道 $T_{\text{CLK-ZERO}}$ 的测试方法类似, 只是对时钟通道发送的波形序列进行测量, 如图 [图 11.1](#) 所示。

通过条件

设置 DUT 在发送一组高速(High-Speed)模式突发信号, 如图 [图 11.1](#) 所示。

测量结果应满足: $(T_{\text{CLK-PREPARE}} + T_{\text{CLK-ZERO}}) \geq 300\text{ns}$ 。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.9, Table 14。

测试结果参考

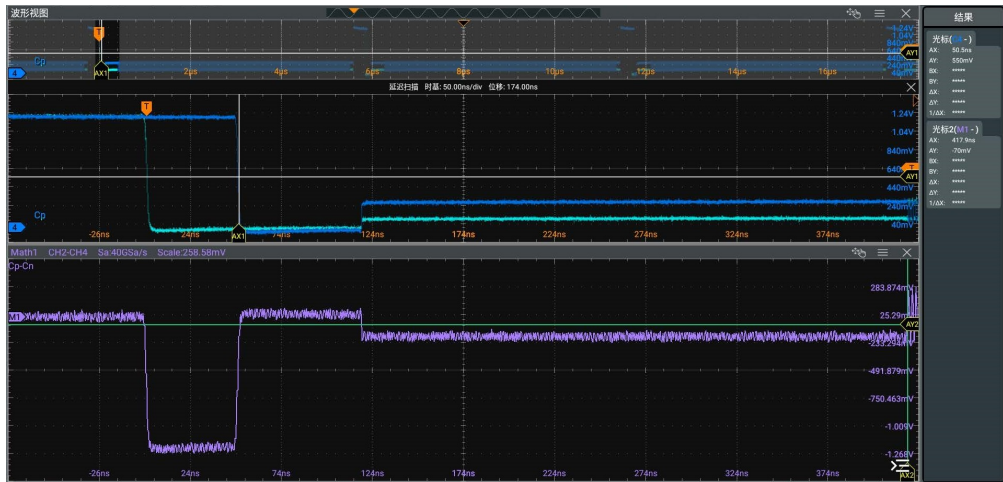


图 11.4 Test 1.4.3 测试波形与结果

11.5 Test 1.4.4 时钟通道 HS-TX 差分电压($V_{OD(0)}$, $V_{OD(1)}$)

本测试用于验证 DUT 的时钟通道在 HS-TX 模式发送信号的差分电压($V_{OD(0)}$ 和 $V_{OD(1)}$) 是否在一致性限制范围内。

差分输出电压 V_{OD} 定义为 Clkp 和 Clkn 引脚上的电压 V_{Dp} 和 V_{Dn} 之间的差值。本测试项与 [Test 1.3.4](#) 测试项的测量方法类似，只是对时钟通道发送的波形序列进行测量，如图 [图 11.1](#) 所示。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

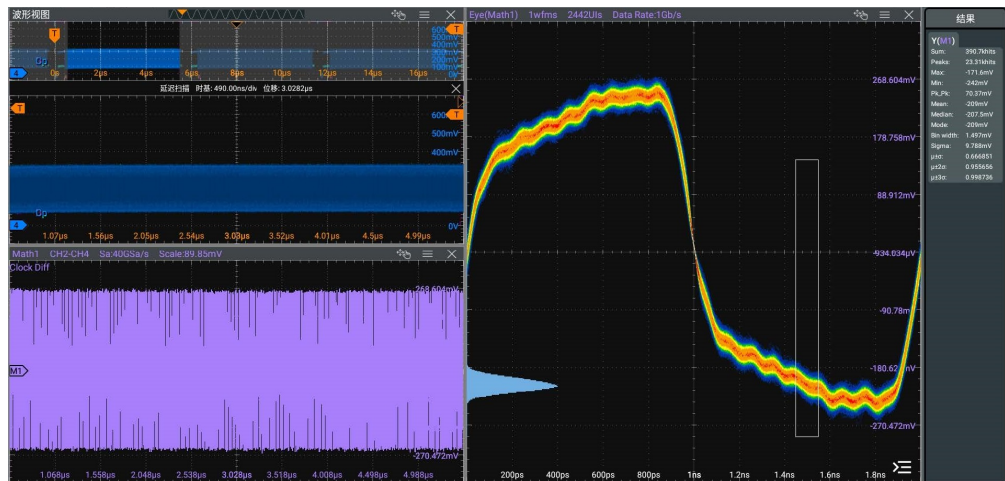
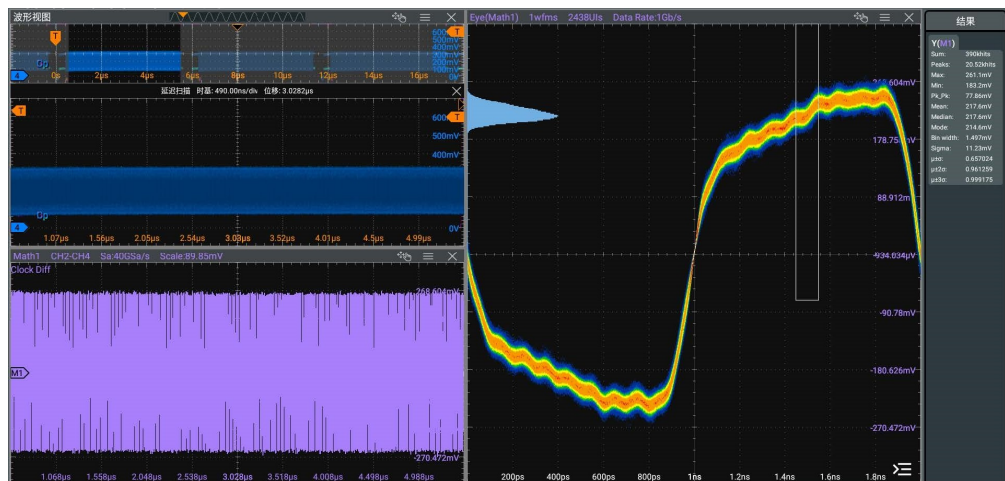
测量结果需满足：

参数	DUT 速率	Min	Max
$V_{OD(1)}$		140 mV	270 mV
$V_{OD(0)}$		-270 mV	-140 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19

测试结果参考

图 11.5 $V_{OD}[0]$ 测试波形与结果图 11.6 $V_{OD}[1]$ 测试波形与结果

11.6 Test 1.4.5 时钟通道 HS-TX 差分电压失配(ΔV_{OD})

本测试用于验证 DUT 时钟通道 HS-TX 的差分电压失配(ΔV_{OD}) 是否在一致性限制范围内。

差分输出电压 V_{OD} 定义为 Clk_p 和 Clk_n 引脚上的电压 V_{Dp} 和 V_{Dn} 之间的差值。本测试项与 [Test 1.3.5](#) 测试项的测量方法类似，只是对时钟通道发送的波形序列进行测量，如图 [图 11.1](#) 所示。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测量结果需满足：

参数	DUT 速率	Min	Max
$ \Delta V_{OD} $			14 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19。

11.7 Test 1.4.6 时钟通道 HS-TX 单端输出高电压 ($V_{OHHS(DP)}$, $V_{OHHS(DN)}$)

本测试用于验证 DUT 时钟通道的 HS-TX 单端输出高电压($V_{OHHS(DP)}$ 和 $V_{OHHS(DN)}$)是否小于最大一致性限制。

V_{OHHS} 定义为时钟通道 Clkp 和 Clkn 引脚上的电压 V_{Dp} 和 V_{Dn} 的最高值。本测试项与 [Test 1.3.6](#) 测试项的测量方法类似，只是对时钟通道发送的波形序列进行测量，如图 [图 11.1](#) 所示。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

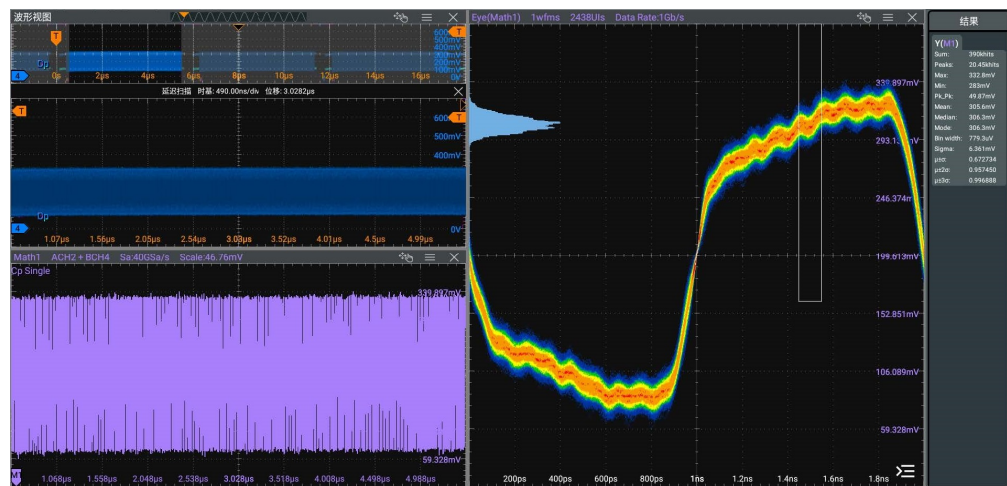
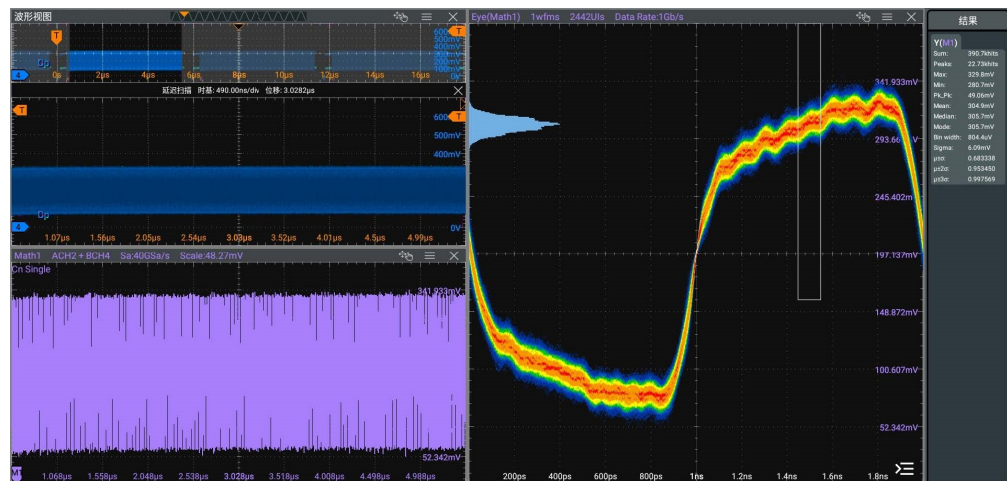
此测量将在所有三种 Z_{ID} 情况下进行，都应满足：

参数	DUT 速率	Min	Max
$V_{OHHS(Dp)}$			360 mV
$V_{OHHS(Dn)}$			360 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19。

测试结果参考

图 11.7 $V_{OHHS(DP)}$ 测试波形与结果图 11.8 $V_{OHHS(DN)}$ 测试波形与结果

11.8 Test 1.4.7 时钟通道 HS-TX 静态共模电压($V_{CMTX(1)}$, $V_{CMTX(0)}$)

本测试用于验证 DUT 时钟通道的 HS-TX 静态共模电压($V_{CMTX(1)}$)和 $V_{CMTX(0)}$ 是否在一致性限制范围内。

共模电压 V_{CMTX} 定义为：时钟通道的引脚 Clkp 和 Clkn 电压的算术平均值。本测试项的测试方法与 [Test 1.3.7](#) 类似，只是针对时钟通道进行测量。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测量结果应满足：

参数	DUT 速率	Min	Max
$V_{\text{CMTX}(1)}$		150 mV	250 mV
$V_{\text{CMTX}(0)}$		150 mV	250 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19。

测试结果参考

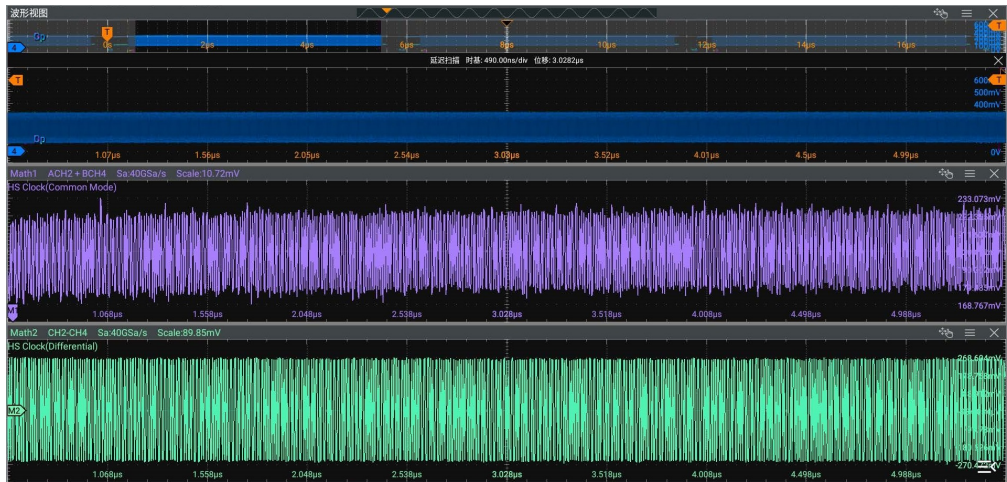


图 11.9 Test 1.4.7 测试波形与结果

11.9 Test 1.4.8 时钟通道 HS-TX 静态共模电压失配 ($\Delta V_{\text{CMTX}(1,0)}$)

本测试用于验证 DUT 时钟通道 HS-TX 的静态共模电压失配($\Delta V_{\text{CMTX}(1,0)}$) 是否小于最大一致性限制。

本测试的方法与 [Test 1.3.8](#) 中的数据通道 $\Delta V_{\text{CMTX}(1,0)}$ 测试相同，只是测量是使用时钟通道 $V_{\text{CMTX}(1,0)}$ 结果进行的。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测量结果应满足：

参数	DUT 速率	Min	Max
$ \Delta V_{\text{CMTX}(1,0)} $			5 mV

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 19.

11.10 Test 1.4.9 时钟通道 HS-TX 在 50 MHz ~ 450 MHz 范围内的动态共模电平变化($\Delta V_{\text{CMTX}(LF)}$)

本测试用于验证 DUT 时钟通道的 HS-TX 在 50 MHz ~ 450 MHz 范围内的 AC 共模信号电平变化($V_{\text{CMTX}(LF)}$)低于最大允许限制。

本测试项与 [Test 1.3.9](#) 测试项的测量方法类似，只是对时钟通道发送的波形序列进行测量，如图 [图 11.1](#) 所示。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测量结果应满足：

参数	DUT 速率	Min	Max
$\Delta V_{\text{CMTX}(LF)}$			25 mV _{PEAK}

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 20

测试结果参考

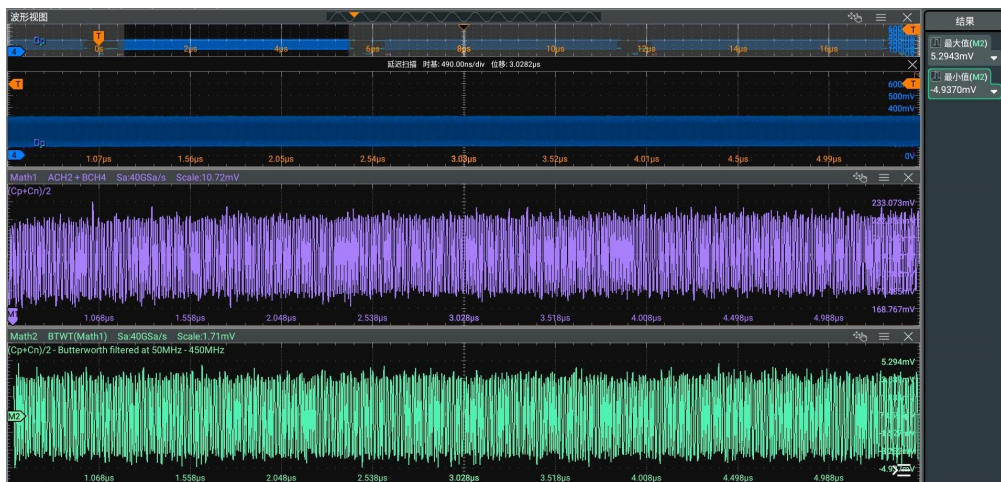


图 11.10 Test 1.4.9 测试波形与结果

11.11 Test 1.4.10 时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化($\Delta V_{CMTX(HF)}$)

本测试用于验证 DUT 时钟通道的 HS-TX 在 450MHz 以上的 AC 共模信号电平变化 ($V_{CMTX(LF)}$) 低于最大允许限制。

该测试的方法与 [Test 1.3.10](#) 中的数据通道 $\Delta V_{CMTX(HF)}$ 测试相同，只是测量在时钟通道上进行。一致性限制与数据线路情况相同。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果应满足：

参数	DUT 速率	Min	Max
$\Delta V_{CMTX(HF)}$			15 mV _{RMS}

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 20。

测试结果参考

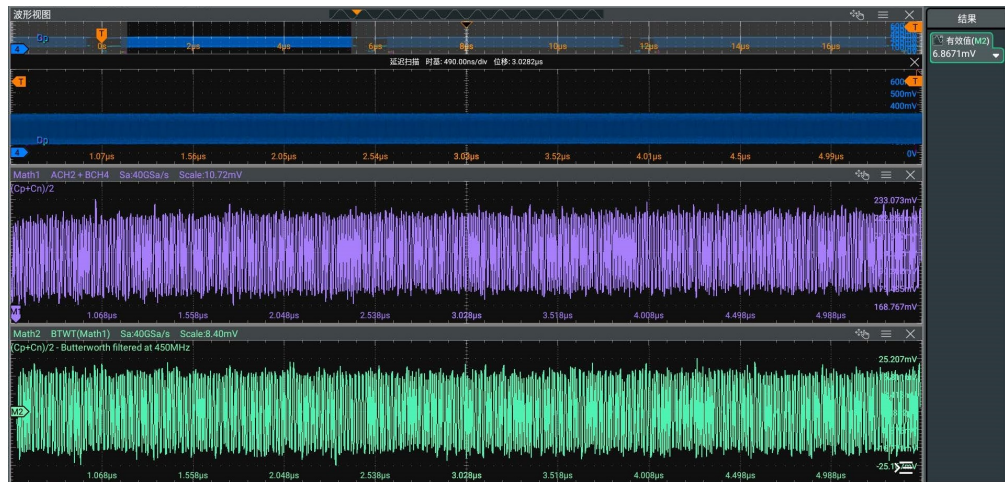


图 11.11 Test 1.4.10 测试波形与结果

11.12 Test 1.4.11 时钟通道 HS-TX 20% ~ 80% 上升时间(t_R)

本测试用于验证 DUT 时钟通道 HS-TX 的 20% ~ 80% 上升时间(t_R) 是否在一致性限制内。

本测试方法与 [Test 1.3.11](#) 中的数据通道上升时间测试性质相似，使用类似的方法创建平均波形，并在此基础上进行测量。但不使用 000111 参考数据模式，而是使用 01 模式(因为时钟

通道上不存在 000111 模式)。参考顶电平和基准电平应根据时钟通道稳定的直流 HS-ZERO 电平确定, 即 $V_{HS-ZERO}$ 。

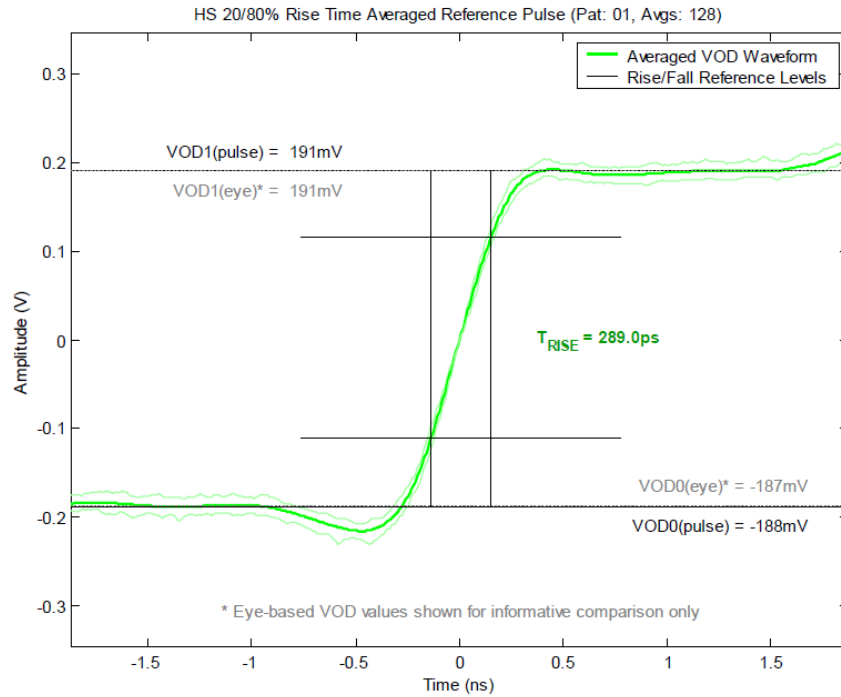


图 11.12 样本时钟通道 HS 上升时间参考波形和测量

测试步骤

参考 [Group4 测试步骤](#) 章节, 进行本项测试。

通过条件

测量结果应满足

参数	DUT 速率	Min	Max
t_R	≤ 1 Gbp		$0.30 \cdot UI$
	> 1 Gbps 且 ≤ 1.5 Gbps		$0.35 \cdot UI$
	> 1.5 Gbps		$0.4 \cdot UI$

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值, 请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 20。

测试结果参考

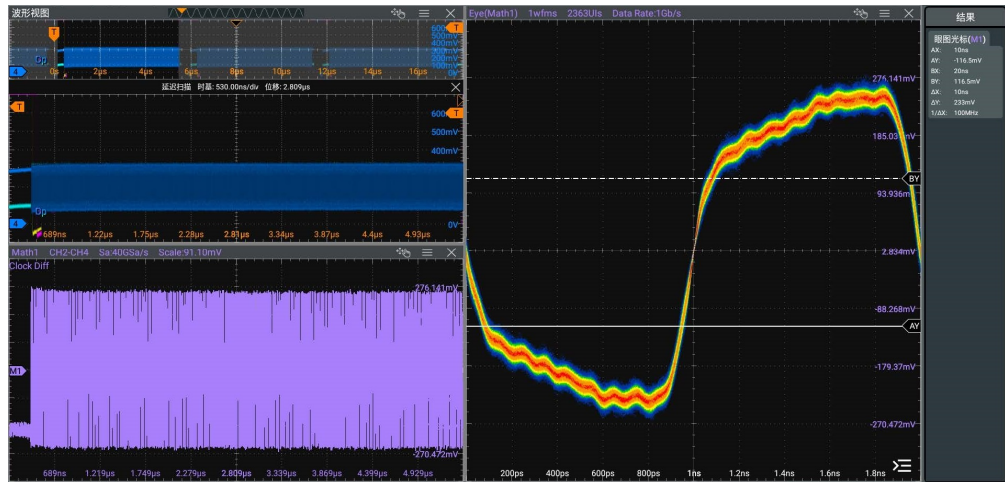


图 11.13 Test 1.4.11 测试波形与结果

11.13 Test 1.4.12 时钟通道 HS-TX80% ~ 20% 下降时间(t_F)

本测试用于验证 DUT 时钟通道 HS-TX 的 80% ~ 20% 下降时间(t_F) 是否在一致性限制内。

本测试项的测试方法与 [Test 1.4.11](#) 中的上升时间测试相同。只是下降时间是在参考 10 数据模式上进行测量。基准顶电平和基准电平仍然是上一次测试中测量的时钟通道 $V_{HS-ZERO}$ 值。

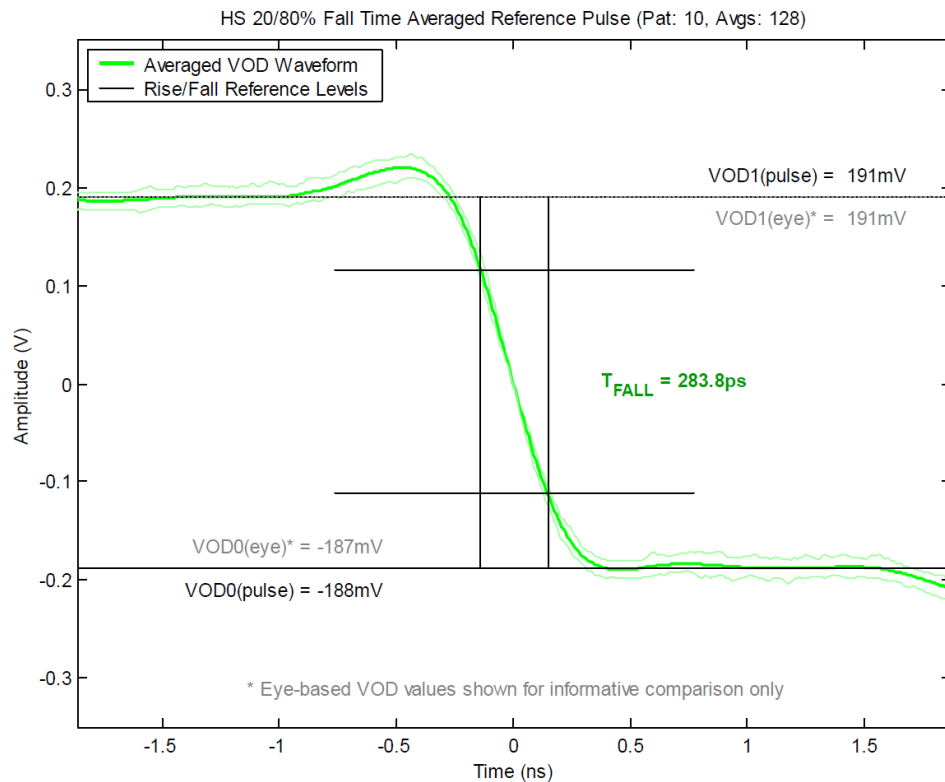


图 11.14 样本时钟通道 HS 下降时间参考波形和测量

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

对于 Z_{ID} 为 80 Ω 和 100 Ω 的情况(1.0 版本要求测试所有情况，但后续版本 125 Ω 情况不强制要求测试，测 80 和 100 Ω 就行)，以及所有数据通道：

	DUT 速率	Min	Max
t_F	≤ 1 Gbp		0.30*UI
	> 1 Gbps 且 ≤ 1.5 Gbps		0.35*UI
	> 1.5 Gbps		0.4*UI

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值，请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 9.1.1, Table 20

测试结果参考

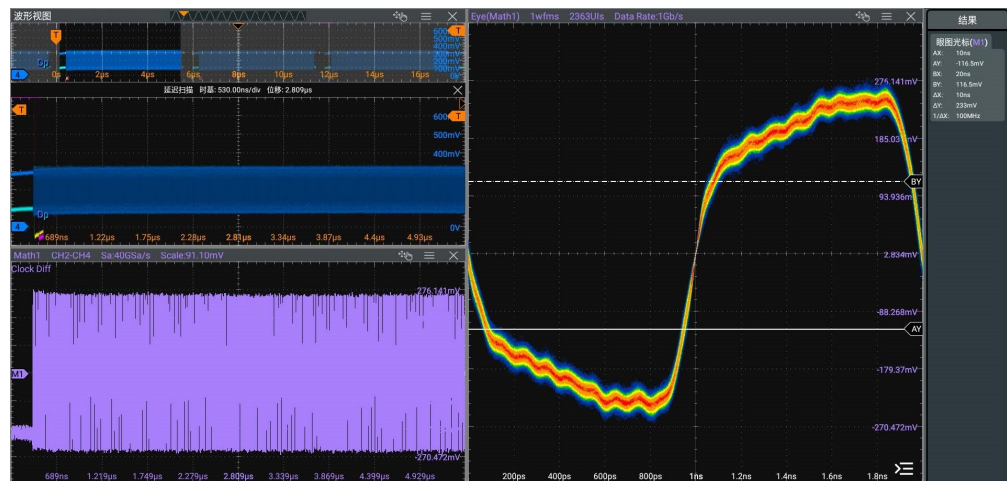


图 11.15 Test 1.4.11 测试波形与结果

11.14 Test 1.4.13 时钟通道 HS Exit: 时钟高速模式退出时间值 ($T_{CLK-TRAIL}$)

本测试用于验证 DUT 时钟通道 HS-TX 在高速突发序列最后一个有效载荷数据位之后驱动反转的最终差分状态的时间($T_{CLK-TRAIL}$) 是否大于所需的最小值。

时钟通道从 HS 模式退出过程中，在 HS 传输脉冲串的最后有效载荷时钟比特之后的最终时钟通道在 HS-0 状态的持续时间为 $T_{CLK-TRAIL}$ ，如图 [图 11.1](#) 所示。本测试项的测试方法与 [Test 1.3.13](#) 中的数据通道 $T_{HS-TRAIL}$ 测试基本相同，只是测量在时钟通道上进行。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

在 $Z_{ID}=100\Omega$ 的情况下进行测量：

参数	DUT 速率	Min	Max
$T_{CLK-TRAIL}$		60 ns	

参考协议

请参考 D-PHY Specification Version 1.2, Table 10 和 Table 14.

测试结果参考



图 11.16 Test 1.4.13 测试波形与结果

11.15 Test 1.4.14 时钟通道 LP-TX:30% ~ 85% 信号传输后上升时间(T_{REOT})

本测试用于验证 DUT 的 LP 时钟通道完成高速突发序列传输并退出 (EoT) 后，号有一个从低电平到高电平的上升过程，测量上升沿幅度从 30% 到 85%，所需的时间(T_{REOT}) 是否在一致性限制内。

本测试项的测试方法与 [Test 1.3.14](#) 中的数据通道 T_{REOT} 测试基本相同，只是测量在时钟线路上进行。如图 [图 11.1](#) 所示。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测量结果应满足：

参数	DUT 速率	Min	Max
T_{REOT}			35 ns

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.12, Table 22.

测试结果参考



图 11.17 Test 1.4.14 测试波形与结果

11.16 Test 1.4.15 时钟通道 HS Exit: 退出结束时间值($T_{HS-TRAIL} + T_{REOT}$)

本测试用于验证 DUT 时钟通道的 HS Exit 的 $T_{HS-TRAIL}$ 加 T_{REOT} 间隔(又称 T_{EOT})的总持续时间小于最大允许值。

使 DUT 在时钟通道上产生 HS Exit 序列, 如图 11.1 所示。在前面的测试 [Test 1.4.13](#) 和 [Test 1.4.14](#) 中, 获得 $T_{CLK-TRAIL}$ 和时钟通道 T_{REOT} 的数值。将两个数值相加, 得出 $T_{EOT} = T_{CLK-TRAIL} + T_{REOT}$ 。

本测试项的测试方法与 [Test 1.3.15](#) 的数据线路 T_{EOT} 测试基本相同, 只是测量在时钟线路上进行。一致性限制与数据通道情况相同。

测试步骤

参考 [Group4 测试步骤](#) 章节, 进行本项测试。

通过条件

测量结果应满足:

参数	DUT 速率	Min	Max
T_{EOT}			105 ns + 12*UI

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值，请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.7, Table 14

测试结果参考

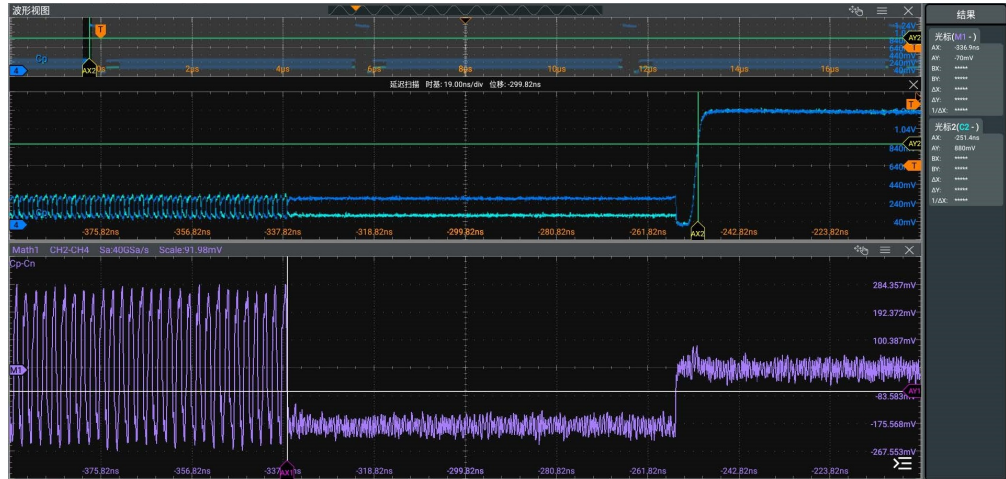


图 11.18 Test 1.4.15 测试波形与结果

11.17 Test 1.4.16 时钟通道 HS Exit: 高速退出时间值($T_{HS-EXIT}$)

本测试用于验证时 DUT 钟通道发送器在退出 HS 模式后，保持低速 LP-11(停止)状态的持续时间($T_{HS-EXIT}$) 是否大于所需的最小值。

本项测试的方法与 [Test 1.3.16](#) 数据通道的 $T_{HS-EXIT}$ 测试方法基本相同，只是测量在时钟线路上进行。

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

通过条件

测量结果应满足： $T_{HS-EXIT} \geq 100 \text{ ns}$

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.7, Table 14

测试结果参考

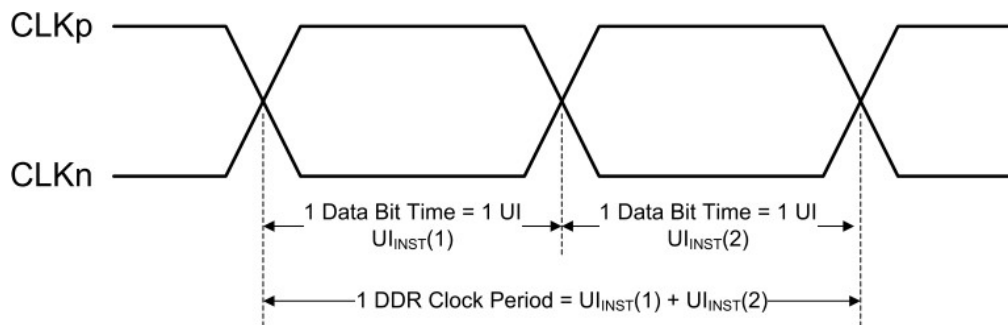


图 11.19 Test 1.4.16 测试波形与结果

11.18 Test 1.4.17 时钟通道高速模式下时钟的瞬时单位间隔 (U_{INST})

本测试用于验证 DUT 在 HS 时钟的瞬时单位间隔值(U_{INST}) 是否在一致性限制范围内。

本测试项需测量差分时钟信号，如当前为时钟单端信号，则通过($V_{CLKP}-V_{CLKN}$)计算的到差分信号。测量 DUT 时钟通道发送的高速时钟信号，如下图所示为一个 DDR (双倍数据速率) 时钟周期。每个单位间隔的 U_{INST} 值为两个连续的 0V 叉点 (差分波形经过 0V 电平的点) 之间的时间差值。测量样本应包含至少 5000 个单位间隔。

图 11.20 U_{INST} 间隔

测试步骤

参考 [Group4 测试步骤](#) 章节，进行本项测试。

进行本项测试，需要根据 DUT 供应商指示的 $U_{INST, MIN}$ 值，修改 [规范管理](#) 子菜单中 Test 1.4.17 的参数范围。

通过条件

测量结果应满足:

- $UI_{INST} < 12.5ns$ 。
- $UI_{INST} \geq$ DUT 供应商指示的 $UI_{INST, MIN}$ 。

(可直接从 DUT 供应商处获取, 或通过 DUT 的数据表获取 $UI_{INST, MIN}$ 值)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 10.1, Table 29.

测试结果参考

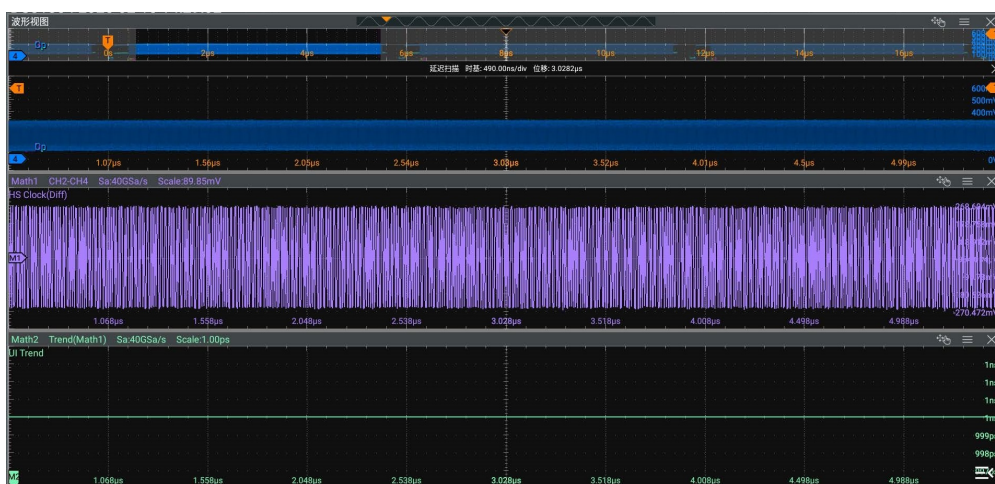


图 11.21 Test 1.4.17 测试波形与结果

11.19 Test 1.4.18 时钟通道高速模式下时钟单位间隔偏差(ΔUI)

本测试用于验证 DUT 的时钟通道发送高速突发(HS burst)时钟脉冲的频率稳定性是否在一致性限制范围内。

参考 [Test 1.4.17](#) 测量时钟信号的单位时间间隔, ΔUI 是指 DUT 时钟通道在单个高速突发传输内的单位间隔变化量, 单位为百分比。

测试步骤

参考 [Group4 测试步骤](#) 章节, 进行本项测试。

说明

本测试项需要在 [设置分析](#) 中选择“D-PHY 版本”为 v1.1 或 v1.2, 高速速率为 1 Gbps ~ 1.5 Gbps 或 1.5 Gbps ~ 2.5 Gbps。

通过条件

测量结果应满足:

参数	DUT 速率	Min	Max
ΔUI	$\leq 1 \text{ Gbps}$	-10%	10%
	$> 1 \text{ Gbps}$ 且 $\leq 1.5 \text{ Gbps}$	-5%	5%

参考协议

请参考 D-PHY Specification Version 1.2, Section 10.1, Table 29

12 Group5 HS-TX Clock-to-Data Lane 时序测试

本章节只介绍在 [系统设置](#) 菜单中测试模式为 Normal 或 Normal+Escape 时，Group5 测试的方法。如测试模式为 Continuous Data，则请参考 [Continuous Data 模式测试](#)。

本组测试用于验证在 DUT 在 HS 模式下，时钟通道(Clock Lane)与数据通道(Data Lane)发送信号的时序关系中的各种时间要求。

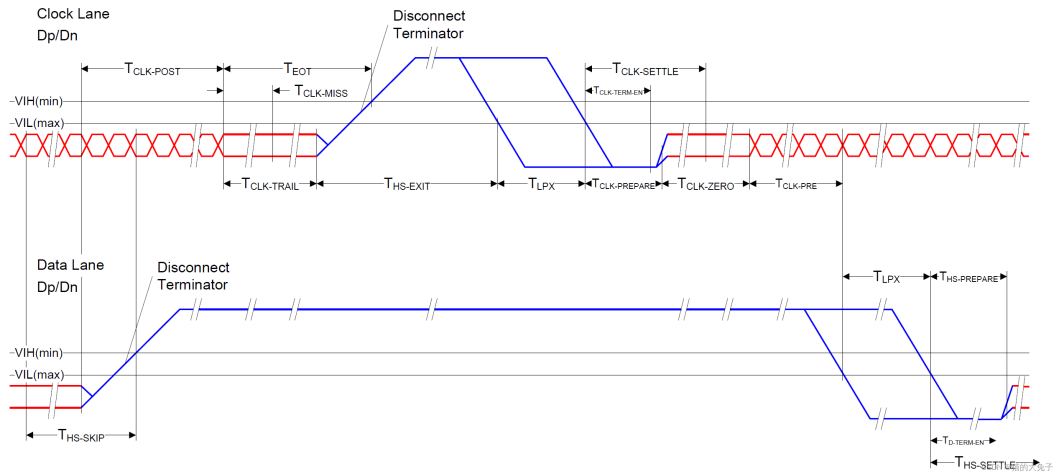


图 12.1 时钟通道在时钟传输和低功耗模式之间切换

- 时钟通道进入高速模式(HS Entry)发送序列: LP11->LP10(T_{LPX})->LP00($T_{CLK-PREPARE}$)->HS0($T_{CLK-ZERO}$)-> $T_{CLK-PRE}$
- 时钟通道退出高速模式(HS Exit)发送序列: HS0/HS1-> $T_{CLK-POST}$ end with HS0-> $T_{CLK-TRAIL}$ ->LP-11($T_{HS-EXIT}$)

说明

本组测试通常仅在主设备 DUT 上执行，从设备 DUT 不适用。

12.1 Group 5 测试步骤

参考 [使用 RTB 夹具连接](#) 或 [连接时钟和数据通道](#) 章节，完成示波器，有源探头，RTB 测试夹具和 DUT 的连接。

在示波器上执行 MIPI 一致性分析功能，进入“MIPI 一致性分析”功能菜单，如 [图 6.1](#)。

1. 进入“系统设置”子菜单

- 根据 DUT 的实际情况选择“D-PHY 版本”和“高速速率”。
- 选择“测试模式”为 Normal 或 Normal+Escape。
- 选择“时钟模式”为“非连续时钟”。

- 根据测试设备连接图，选择“Data Lane 信源” D+为 CH1，D-为 CH3；“Clock Lane 信源” D+为 CH2，D-为 CH4。

Group 5 中各测试项的“系统设置”配置选项有不同的配置约束，请参考表 6.7: *Group5 各测试项适用的不同场景*。

2. 进入“测试项目”子菜单，勾选 Group5 及其中的测试项。
3. 观察示波器捕获时钟通道上的指定波形序列。
4. 在“设置分析”子菜单，点击 **开始测试** 按钮，按照弹出的窗口指导进行操作，直到测试完成。
5. 在“报告导出”子菜单中配置并导出测试报告。

分析测试结果报告，观察各测试项的测试通过结果和测量值。

6. 如果 DUT 有多个数据通道，则重复前面的测试步骤。

12.2 Test 1.5.1 HS Entry: $T_{\text{CLK-PRE}}$

本项测试用于验证 DUT 数据通道开始从 LP 切换到 HS 模式之前，HS 时钟信号的最短持续时间($T_{\text{CLK-PRE}}$)是否大于所需的最小值。

测量 DUT 发送重复的 HS 突发序列，如图 12.1 所示，其中 $T_{\text{CLK-PRE}}$ 间隔是从时钟通道 $T_{\text{CLK-ZERO}}$ 间隔结束处(在时钟通道差分波形穿过最低有效高速接收差分阈值电平 $\pm 70\text{mV}$ 的点)，到数据通道 V_{Dp} 低速下降沿越过 $V_{\text{IL,MAX}}(550\text{mV})$ 时的点。

测试步骤

设置 DUT 在发送一组高速(High-Speed)模式突发信号，如图 12.1 所示。

参考 *Group 5 测试步骤* 章节，进行本项测试。

说明

本测试项需要在 *设置分析* 中选择“时钟模式”为非连续时钟，“Clock Lane 探头”为差分。

通过条件

测试结果都应满足：

参数	DUT 速率	Min	Max
$T_{\text{CLK-PRE}}$	-	$(8*UI)$ ns	-

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.9, Table 14

测试结果参考



图 12.2 Test 1.5.1 测试波形与结果

12.3 Test 1.5.2 HS Exit: $T_{\text{CLK-POST}}$

本项测试用于验证 DUT 数据通道从 HS 模式切换到 LP 模式后，DUT 的时钟通道 HS-TX 端持续传输时钟信号的持续时间 ($T_{\text{CLK-POST}}$) 是否大于所需的最小值。

如图 12.1 所示， $T_{\text{CLK-POST}}$ 间隔的测量是从数据通道 $T_{\text{HS-TRAIL}}$ 周期结束，到时钟通道 $T_{\text{CLK-TRAIL}}$ 周期开始。(有关数据通道 $T_{\text{HS-TRAIL}}$ 和 $T_{\text{CLK-TRAIL}}$ 时间间隔的定义，请分别参见 [Test 1.3.13](#) 和 [Test 1.4.13](#))。

测试步骤

设置 DUT 在发送一组高速(High-Speed)模式突发信号，如图 12.1 所示。

参考 [Group 5 测试步骤](#) 章节，进行本项测试。

说明

本测试项需要在 [设置分析](#) 中选择“时钟模式”为非连续时钟，“Clock Lane 探头”为差分。

通过条件

测试结果都应满足：

参数	DUT 速率	Min	Max
$T_{\text{CLK-POST}}$	-	(60ns + 52*UI) ns	-

其中 UI 为 DUT 时钟通道 HS-TX 单位间隔平均值，请参考 [Test 1.4.17](#)。

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.9, Table 14

测试结果参考



图 12.3 Test 1.5.2 测试波形与结果

12.4 Test 1.5.3 高速时钟上升沿与首个有效载荷位的对齐

验证 DUT 的 HS 时钟是否与有效载荷数据信号正确对齐。

配置示波器捕获 DUT 时钟和数据通道发送的 HS 突发序列信号，如图 12.1 所示。验证突发数据的首个有效载荷位（即同步字节后的第一位）与 DDR 时钟的上升沿对齐，如下图所示。

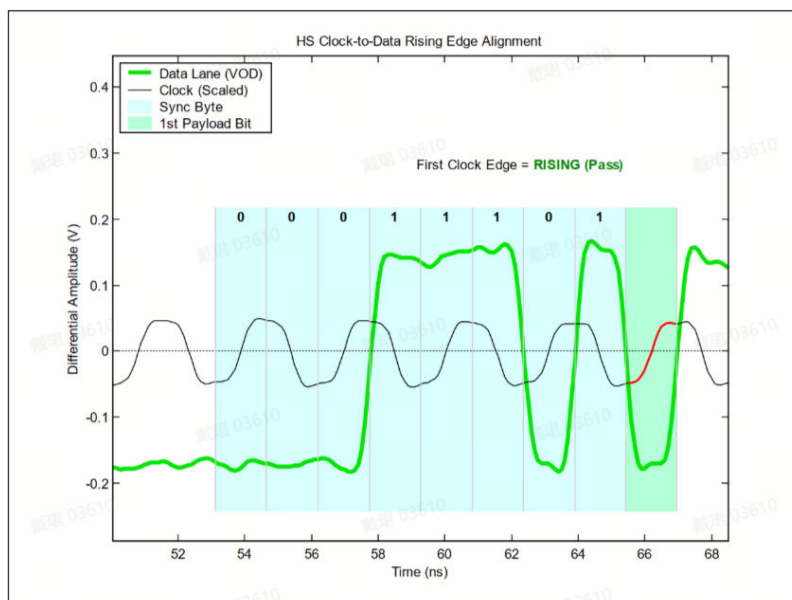


图 12.4 HS 时钟到数据上升沿对齐

测试步骤

设置 DUT 在发送一组高速(High-Speed)模式突发信号，如图 12.1 所示。

参考 [Group 5 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果都应满足：

本测试用于验证突发数据的第一个有效载荷位是否与 DDR 时钟的上升沿一致。

参考协议

请参考 D-PHY Specification Version 1.2, Section 10.2

测试结果参考

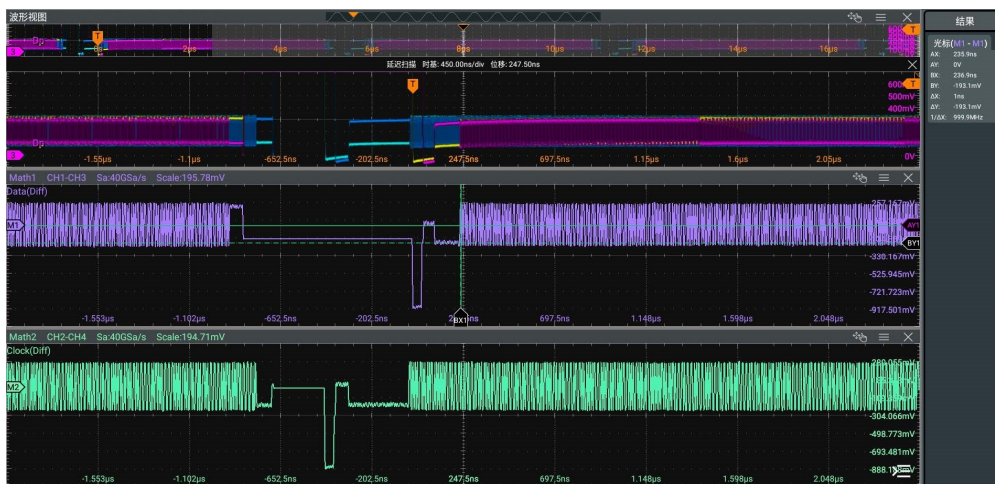


图 12.5 Test 1.5.3 测试波形与结果

12.5 Test 1.5.4 数据与时钟偏斜($T_{\text{SKEW}[\text{TX}]}$)

本测试项用于验证 DUT 发送时钟和数据信号之间的偏斜($T_{\text{SKEW}[\text{TX}]}$)是否在一致性规范的限值范围内。

$T_{\text{SKEW}[\text{TX}]}$ 为每个数据通道边沿与其对应的时钟通道边沿之间的时序误差，如下图所示。在 10,000 个边沿上进行计算，以生成所有观察到的边沿的误差数组。将记录最大值、最小值和平均时序误差值。

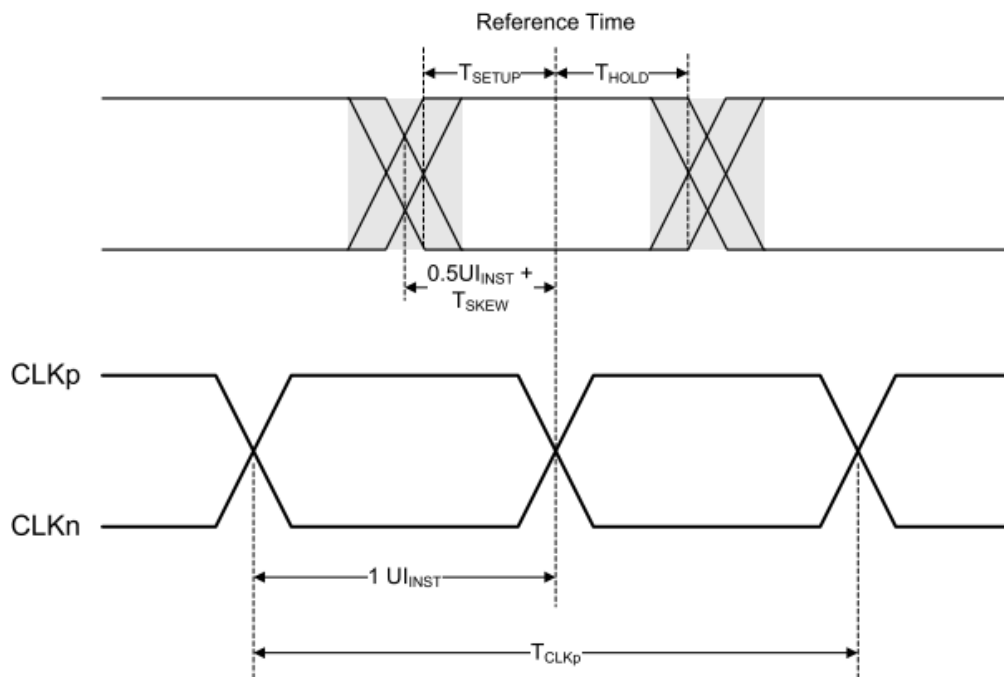


图 12.6 数据到时钟时序定义

测试步骤

设置 DUT 在发送一组高速(High-Speed)模式突发信号，如图 12.1 所示。

参考 [Group 5 测试步骤](#) 章节，进行本项测试。

通过条件

测试结果都应满足：

参数	DUT 速率	Min	Max
$T_{SKEW[TX]}$	≤ 1 Gbps	$0.5 - 0.15*UI$	$0.5 + 0.15*UI$
	> 1 Gbps	$(0.5 - 0.15)*UI$	$(0.5 + 0.15)*UI$

参考协议

请参考 D-PHY Specification Version 1.2, Section 10.2.1, Table 30



说明

本测试项需要在 [设置分析](#) 中选择 “D-PHY 版本” 为 v1.2，高速速率为 1.5 Gbps ~ 2.5 Gbps。

通过条件

测试结果都应满足：

参数	DUT 速率	Min	Max
$T_{\text{SKEWCAL-SYNC}}$	> 1.5 Gbps	$(16 - 0.25) * UI$	$(16 + 0.25) * UI$
T_{SKEWCAL}		$2^{15} * UI (32768 * UI)$	

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.12

12.7 Test 1.5.6 周期性 HS 偏斜校准突发($T_{\text{SKEWCAL-SYNC}}$, T_{SKEWCAL})

本测试用于验证 DUT 数据通道上发送的周期偏移校准码的有效性，包括长度、格式等。

参考 [Test 1.5.5](#) 在周期去偏斜阶段，分别测量其中的 $T_{\text{SKEWCAL-SYNC}}$, T_{SKEWCAL} 的间隔时间值。本次测试的规范、要求和步骤与 Test 1.5.5 的测量方法非常相似，只是本次测量的是周期性去斜移突发，而非初始突发。

测试步骤

设置 DUT 在发送一组高速(High-Speed)模式突发信号，如 [图 12.8](#) 所示。

参考 [Group 5 测试步骤](#) 章节，进行本项测试。



说明

本测试项需要在 [设置分析](#) 中选择 “D-PHY 版本” 为 v1.2，高速速率为 1.5 Gbps ~ 2.5 Gbps。

通过条件

测量结果都应满足：

参数	DUT 速率	Min	Max
$T_{\text{SKEWCAL-SYNC}}$	> 1.5 Gbps	$(16 - 0.25) * UI$	$(16 + 0.25) * UI$
T_{SKEWCAL}		$2^{12} * UI (4096 * UI)$	

参考协议

请参考 D-PHY Specification Version 1.2, Section 6.12

13 Eye Diagram

本章节只介绍在 [系统设置](#) 菜单中测试模式为 Normal 或 Normal+Escape 时, Eye Diagram 测试的方法。如测试模式为 Continuous Data, 则请参考 [Continuous Data 模式测试](#)。

本测试项为非规范定义的标准测试项, 仅用于测量示波器捕获 DUT 在高速(High-Speed)模式下发送数据信号生成的眼图, 并获取眼图宽和高的值, 因此需要 DS70000/DS80000 系列示波器安装眼图选项。

连接设备

本测试项与 Group3、Group4 和 Group5 的测试连接方式相同, 参考 [使用 RTB 夹具连接](#) 或 [连接时钟和数据通道](#) 章节, 完成示波器, 有源探头, RTB 测试夹具和 DUT 的连接。

设置 DUT

可参考 Group3、Group4 和 Group5 测试组, 根据测试项目设置 DUT 的数据通道进入高速突发数据传输状态, 发送高速数据突发序列。

配置示波器进行 MIPI 一致性分析

在示波器上执行 MIPI 一致性分析功能, 进入“MIPI 一致性分析”功能菜单, 如 [图 6.1](#)。

1. 进入“系统设置”子菜单

- 根据 DUT 的实际情况选择“D-PHY 版本”和“高速速率”。
- 选择“测试模式”为 Normal 或 Normal+Escape。
- 根据测试设备连接图, 选择“Data Lane 信源”D+为 CH1, D-为 CH3; “Clock Lane 信源”D+为 CH2, D-为 CH4。

2. 进入“测试项目”子菜单, 勾选 Eye Diagram 及其中的测试项 HS Data Eye Height 和 HS Data Eye Width。

3. 观察示波器捕获时钟通道上的指定波形序列。

4. 在“设置分析”子菜单, 点击“开始测试”按钮, 按照弹出的窗口指导进行操作, 直到测试完成。

5. 在“报告导出”子菜单中配置并导出测试报告。

分析测试结果报告, 查看生成眼图的眼高和眼宽。

6. 如果 DUT 有多个数据通道, 则重复前面的测试步骤。

14 Continuous Data 模式测试

本章节只介绍在 [系统设置](#) 菜单中测试模式为 Continuous Data 时的测试方法。

Continuous Data 模式为非规范定义的标准工作模式，仅在 DUT 的数据和时钟通道都输出连续的高速信号时进行指定项目测试，具体支持的测试项目请参考 [Continuous Data 模式测试项目](#)。

连接设备

参考 [Continuous Data Test 连接](#) 章节，完成示波器和 DUT 的连接。

设置 DUT

设置 DUT 在数据和时钟通道上发送连续的高速(High-Speed)信号。

配置示波器进行 MIPI 一致性分析

在示波器上执行 MIPI 一致性分析功能，进入“MIPI 一致性分析”功能菜单，如 [图 6.1](#)。

1. 进入“系统设置”子菜单

- 根据 DUT 的实际情况选择“D-PHY 版本”和“高速速率”。
- 选择“测试模式”为 Continuous Data。
- 选择“时钟模式”为连续时钟。
- 根据测试设备连接图，选择“Data Lane 信源” D+为 CH1，D-为 CH3；“Clock Lane 信源” D+为 CH2，D-为 CH4。

2. 进入“测试项目”子菜单，勾选 Group3 及其中的测试项。

3. 观察示波器捕获时钟和数据通道上的 HS 模式连续波形序列。

4. 在“设置分析”子菜单，点击 **开始测试** 按钮，按照弹出的窗口指导进行操作，直到测试完成。

5. 在“报告导出”子菜单中配置并导出测试报告。

分析测试结果报告，观察各测试项的测试通过结果和测量值。

6. 如果 DUT 有多个数据通道，则重复前面的测试步骤，完成所有数据通道测试。

15 附录

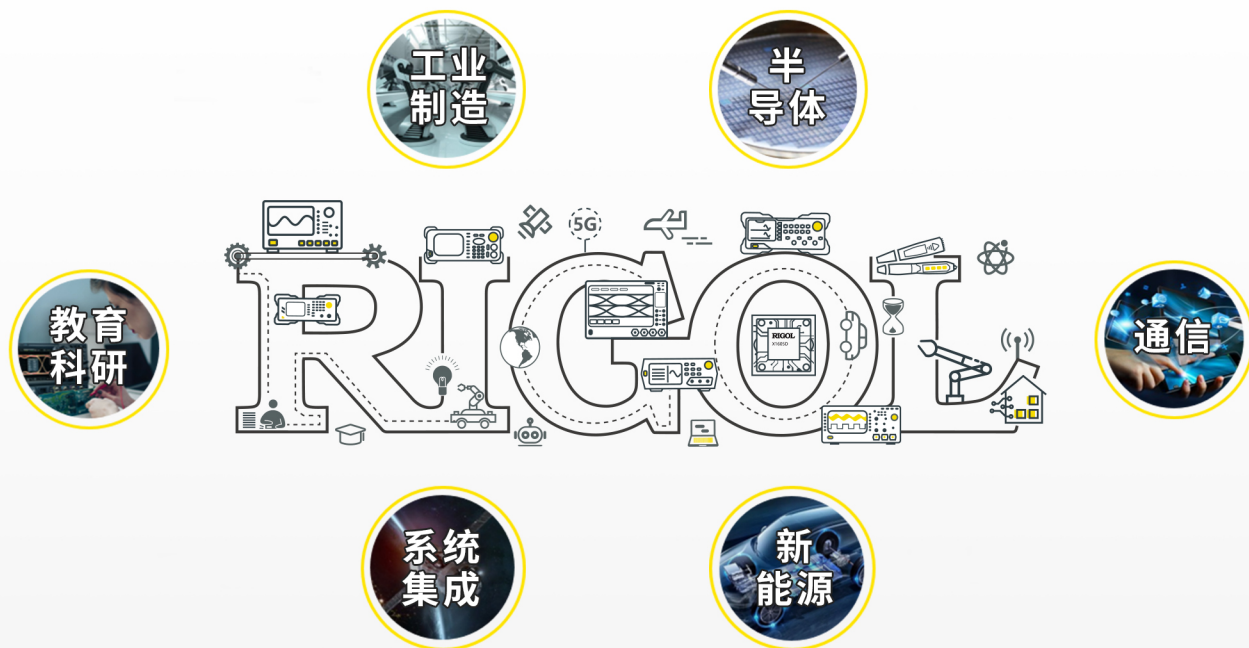
15.1 附录 B: 保修概要

普源精电科技股份有限公司 (RIGOL TECHNOLOGIES CO., LTD., 以下简称 RIGOL) 承诺其生产仪器的主机和附件, 在产品保修期内无任何材料和工艺缺陷。

在保修期内, 若产品被证明有缺陷, RIGOL 将为用户免费维修或更换。详细保修条例请参见 RIGOL 官方网站或产品保修卡的说明。欲获得维修服务或保修说明全文, 请与 RIGOL 维修中心或各地办事处联系。

除本概要或其他适用的保修卡所提供的保证以外, RIGOL 公司不提供其他任何明示或暗示的保证, 包括但不限于对产品可交易性和特殊用途适用性之任何暗示保证。在任何情况下, RIGOL 公司对间接的, 特殊的或继起的损失不承担任何责任。

全面助力智慧世界和科技创新



- 📶 蜂窝-5G/WIFI
- 📍 UWB/RFID/ ZIGBEE
- 🔗 数字总线/以太网
- 📡 光通信

- 🔧 数字/模拟/射频芯片
- 📁 存储器及MCU芯片
- 🔌 第三代半导体
- ☀️ 太阳能光伏电池

- 🚗 新能源汽车
- ☀️ 光伏/逆变器
- 🔌 电源测试
- 🚗 汽车电子

为行业客户提供测试测量产品和解决方案

RIGOL开放实验室

地 址：北京、苏州、深圳、西安
开放时间：工作日 9:00 am~6:00 pm
预约电话：400-620-0002
RIGOL客服热线：400-620-0002
官网预约网址：
<https://www.rigol.com/quote/Lab-appoint.html>



RIGOL开放实验室预约



RIGOL实验室视频号

RIGOL®是普源精电科技股份有限公司的英文名称和商标。
本文档中的产品信息可不经通知而变更，有关RIGOL最新的产品、应用、服务等方面的信息，请访问RIGOL官方网站：

www.rigol.com



RIGOL官方微信



RIGOL官网